

FlexRIO™

Руководство пользователя NI-7931R/7932R/7935R

Техническая поддержка по всему миру и информация о выпускаемой продукции
ni.com

Офисы по всему миру

Посетите ni.com/niglobal, чтобы получить доступ к сайтам филиалов, которые предоставляют актуальную контактную информацию, номера телефонов технической поддержки, адреса электронной почты и информацию о текущих событиях.

Штаб-квартира корпорации National Instruments

11500 North Mopac Expressway Austin, Texas 78759-3504 USA Tel: 512 683 0100

Для получения дополнительной информации о поддержке обратитесь к приложению *Службы NI*. Чтобы оставить свои комментарии о документации National Instruments, зайдите на сайт ni.com/info и введите код обратной связи `feedback`.

© 2015 National Instruments. All rights reserved.

Правовая информация

Ограниченная гарантия

Данный документ предоставляется «как есть» и подлежит изменениям без предварительного уведомления в последующих редакциях. За последней версией обратитесь на страницу ni.com/manuals. Документ тщательно проверен NI на предмет технической точности; однако NI НЕ ДАЕТ НИКАКИХ ЯВНЫХ ИЛИ ПОДРАЗУМЕВАЕМЫХ ГАРАНТИЙ ОТНОСИТЕЛЬНО ТОЧНОСТИ ИНФОРМАЦИИ СОДЕРЖАЩЕЙСЯ В НАСТОЯЩЕМ ДОКУМЕНТЕ И НЕ НЕСЕТ ОТВЕТСТВЕННОСТИ ЗА ЛЮБЫЕ ОШИБКИ.

NI гарантирует отсутствие в своих аппаратных продуктах дефектов материала и изготовления, могущих вызвать отказ продукта, а также соответствие применимым и опубликованным NI техническим характеристикам в течение одного (1) года с даты покупки.

В течение девяноста (90) дней с даты покупки, NI гарантирует, что (i) программные продукты будут работать в соответствие с применимой документацией, поставляемой с программным обеспечением, а также (ii) отсутствие дефектов материала и изготовления носителя информации.

В случае получения NI уведомления о дефекте либо несоответствия характеристикам в течение применимого гарантийного срока, NI обязуется, по своему усмотрению: (i) восстановить или заменить неисправный продукт, либо (ii) вернуть средства, уплаченные за неисправный продукт. Восстановленные или замененные аппаратные средства подлежат гарантии на оставшуюся часть первоначального гарантийного срока или девяноста (90) дней, в зависимости от того, что больше. При решении отремонтировать или заменить изделие NI может использовать новые или восстановленные детали или продукты, эквивалентные новым по характеристикам и надежности, и, как минимум, функционально эквивалентные оригинальным деталям или продуктам.

Прежде чем возвращать любой продукт в NI, вы должны получить от NI номер RMA. NI сохраняет за собой право взимать плату за исследование и тестирование аппаратных средств, на которые не распространяется ограниченная гарантия.

Ограниченная гарантия не применима, если повреждения продукта возникли вследствие неправильной или неадекватной установки, технического обслуживания, ремонта или калибровки изделия (производимых не NI); несанкционированной модификации изделия; использования изделия в неправильных условиях; использования неправильного аппаратного или программного ключа; неподобающем использовании за пределами технических характеристик продукта; подачи недопустимого напряжения; небрежного и неправильного обращения; либо стихийных бедствий, например, ударов молнии, наводнений и других природных катаклизмов.

СРЕДСТВА ЗАЩИТЫ ПРАВ, ИЗЛОЖЕННЫЕ ВЫШЕ, ЯВЛЯЮТСЯ ОГРАНИЧЕННЫМИ И ЕДИНСТВЕННЫМИ СРЕДСТВАМИ ПРАВОВОЙ ЗАЩИТЫ КЛИЕНТА И ДОЛЖНЫ БЫТЬ ПРИМЕНЕНЫ, ДАЖЕ ЕСЛИ НЕ ИСПОЛНЯЮТ СВОЕ ОСНОВНОЕ НАЗНАЧЕНИЕ.

ЗА ИСКЛЮЧЕНИЕМ ИЗЛОЖЕННОГО В ЯВНОМ ВИДЕ В НАСТОЯЩЕМ ДОКУМЕНТЕ, ПРОДУКТЫ ПРЕДОСТАВЛЯЮТСЯ «КАК ЕСТЬ», БЕЗ КАКИХ-ЛИБО ГАРАНТИЙ. NI НЕ ДАЕТ НИКАКИХ ОБЯЗАТЕЛЬСТВ В ОТНОШЕНИИ КАКИХ-ЛИБО ЯВНО ВЫРАЖЕННЫХ ИЛИ ПОДРАЗУМЕВАЕМЫХ ГАРАНТИЙ, ВКЛЮЧАЯ, В ТОМ ЧИСЛЕ, ГАРАНТИЙ ТОВАРНОГО КАЧЕСТВА, СООТВЕТСТВИЯ КОНКРЕТНОМУ НАЗНАЧЕНИЮ И ОТСУТСТВИЯ НАРУШЕНИЙ ЧЬИХ-ЛИБО ПРАВ СОБСТВЕННОСТИ ИЛИ ЛЮБЫХ ГАРАНТИЙ, ВОЗНИКАЮЩИХ В РЕЗУЛЬТАТЕ ОБЫЧНОЙ ПРАКТИКИ ДЕЛОВЫХ ОТНОШЕНИЙ ИЛИ КОММЕРЧЕСКОГО ИСПОЛЬЗОВАНИЯ. NI НЕ ГАРАНТИРУЕТ И НЕ ДЕЛАЕТ НИКАКИХ ЗАЯВЛЕНИЙ ОБ ИСПОЛЬЗОВАНИИ ИЛИ О РЕЗУЛЬТАТАХ ИСПОЛЬЗОВАНИЯ ПРОДУКЦИИ В ОТНОШЕНИИ ПРАВИЛЬНОСТИ, ТОЧНОСТИ, НАДЕЖНОСТИ ИЛИ В ОСТАЛЬНЫХ СЛУЧАЯХ. NI НЕ ГАРАНТИРУЕТ НЕПРЕРЫВНОЙ ИЛИ БЕЗОШИБОЧНОЙ ЭКСПЛУАТАЦИИ ПРОДУКТОВ.

В случае, если между вами и NI заключено отдельное письменное соглашение с гарантийными условиями на продукты, должны применяться условия этого соглашения.

Авторское право

Согласно законам об авторском праве, это руководство нельзя переиздавать и распространять как в электронной, так и в печатной форме путем скерокопирования, перезаписи, хранения в информационно-поисковых системах. Также нельзя осуществлять полный или частичный перевод без предварительного письменного разрешения корпорации National Instruments.

National Instruments относится с уважением к интеллектуальной собственности и призывает к этому же своих клиентов. Программное обеспечение NI защищено законами об охране авторских прав и прав на интеллектуальную собственность. Вы имеете право передавать программное обеспечение и прочие материалы, разработанные с помощью программного обеспечения National Instruments, третьим лицам в соответствии с условиями приобретенной Вами лицензии и другими законодательными ограничениями.

Лицензионные соглашения конечных пользователей и правовые положения сторонних производителей

Вы можете найти лицензионные соглашения с конечным пользователем (EULA) и правовые положения сторонних

производителей в следующих местах:

- Положения находятся в папках <National Instruments>\Legal Information\<National Instruments>
- Лицензионные соглашения конечного пользователя находятся в папке <National Instruments>\Shared\MDF\Legal\License.
- Просмотрите <National Instruments>_Legal Information.txt для получения информации о включении правовой информации в инсталляторы, создаваемые при помощи продуктов NI.

Ограниченные права для правительственных учреждений США

Если вы представляете агентство, департамент или иное подразделение Правительства Соединенных Штатов ("Правительства"), использование, копирование, воспроизведение, выпуск, модификация, разглашение или передача технических данных, приведенных в данном руководстве, регулируются положением об Ограниченных правах в Положении о закупках для федеральных нужд 52.227-14 для гражданских агентств и Федеральным положением о военных закупках, разделы 252.227-7014 и 252.227-7015, для военных ведомств.

Торговые марки

Обратитесь к документу *NI Trademarks and Logo Guidelines* на сайте ni.com/trademarks для получения дополнительной информации о торговых марках National Instruments.

ARM, Keil и µVision являются торговыми марками или зарегистрированы в ARM Ltd или ее дочерними компаниями.

LEGO, логотип LEGO, WEDO и MINDSTORMS являются торговыми марками LEGO Group. TETRIX by Pitco является торговой маркой Pitco, Inc.

FIELDBUS FOUNDATION™ и FOUNDATION™ являются торговыми марками Fieldbus Foundation.

EtherCAT® является зарегистрированной торговой маркой и лицензирована Beckhoff Automation GmbH.

CANopen® является зарегистрированным торговым знаком сообщества CAN in Automation e.V. DeviceNet™ и EtherNet/IP™ являются торговыми марками ODVA.

Go!, SensorDAQ и Vernier являются зарегистрированными торговыми марками Vernier Software & Technology. Vernier Software & Technology и vernier.com являются товарными знаками или упаковкой.

Xilinx является зарегистрированной торговой маркой Xilinx, Inc.

Taptite и Trilobular являются зарегистрированными торговыми марками Research Engineering & Manufacturing Inc.

FireWire® является зарегистрированной торговой маркой Apple Inc.

Linux® является зарегистрированной торговой маркой Linus Torvalds в США и других странах.

Handle Graphics®, MATLAB®, Real-Time Workshop®, Simulink®, Stateflow® и xPC TargetBox® являются зарегистрированными торговыми марками, а TargetBox™ и Target Language Compiler™ являются торговыми марками The MathWorks, Inc.

Tektronix®, Tek и Tektronix, Enabling Technology являются зарегистрированными торговыми марками Tektronix, Inc.

Словесный знак Bluetooth® является зарегистрированной торговой маркой Bluetooth SIG, Inc.

Словесный знак и логотипы ExpressCard™ принадлежат PCMCIA и любое их использование National Instruments производится по лицензии.

Знак LabWindows используется по лицензии Microsoft Corporation. Windows является зарегистрированной торговой маркой Microsoft Corporation в Соединенных Штатах Америки и других странах.

Названия других упомянутых в данном руководстве изделий и производителей также являются торговыми марками или торговыми именами соответствующих компаний.

Члены программы партнерства National Instruments Alliance Partner Program являются коммерческими организациями, независимыми от National Instruments, но не подразделениями National Instruments или совместными с National Instruments предприятиями

Патенты

Для получения информации о патентах, которыми защищены продукция или технологии National Instruments, выполните команду **Help»Patents** из главного меню вашего программного обеспечения, откройте файл `patents.txt` на имеющемся у вас компакт-диске или зайдите на сайт ni.com/patents.

Информация о требованиях к экспорту

Обратитесь к документу *Export Compliance Information* на странице ni.com/legal/export-compliance за глобальными принципами торговой политики NI, а также, чтобы получить необходимые коды HTS, ECCN и прочие данные об экспорте/импорте.

ПРЕДУПРЕЖДЕНИЕ ОБ ИСПОЛЬЗОВАНИИ ПРОДУКТОВ NATIONAL INSTRUMENTS

ВЫ НЕСЕТЕ ПОЛНУЮ ОТВЕТСТВЕННОСТЬ ЗА ПРОВЕРКУ И ОБОСНОВАНИЕ ПРИГОДНОСТИ И НАДЕЖНОСТИ ПРОДУКТОВ ПРИ ВКЛЮЧЕНИИ ИХ В ВАШУ СИСТЕМУ ИЛИ ПРИЛОЖЕНИЕ, ВКЛЮЧАЯ ПРАВИЛЬНОСТЬ РАЗРАБОТКИ, ФУНКЦИОНИРОВАНИЯ И УРОВЕНЬ БЕЗОПАСНОСТИ ТАКОЙ СИСТЕМЫ ИЛИ ПРИЛОЖЕНИЯ.

ПРОДУКТЫ НЕ РАЗРАБАТЫВАЛИСЬ, НЕ ПРОИЗВОДИЛИСЬ И НЕ ИСПЫТЫВАЛИСЬ ДЛЯ ИСПОЛЬЗОВАНИЯ В СИСТЕМАХ, ОТ КОТОРЫХ ЗАВИСИТ ЖИЗНЬ ИЛИ БЕЗОПАСНОСТЬ ЛЮДЕЙ, В ОПАСНЫХ УСЛОВИЯХ ИЛИ ЛЮБОЙ ДРУГОЙ СРЕДЕ, ТРЕБУЮЩИХ БЕЗОТКАЗНОЙ РАБОТЫ, В ТОМ ЧИСЛЕ НА АТОМНЫХ СТАНЦИЯХ; В АЭРОНАВИГАЦИИ; В СИСТЕМАХ УПРАВЛЕНИЯ ВОЗДУШНЫМ ДВИЖЕНИЕМ; В СПАСАТЕЛЬНЫХ СИСТЕМАХ, СИСТЕМАХ ЖИЗНЕОБЕСПЕЧЕНИЯ И ИНЫХ МЕДИЦИНСКИХ УСТРОЙСТВАХ ИЛИ В ЛЮБЫХ ДРУГИХ ПРИЛОЖЕНИЯХ, ГДЕ ОТКАЗ ПРОДУКТА ИЛИ СЛУЖБЫ МОЖЕТ ПРИВЕСТИ К СМЕРТИ, ТРАВМЕ, СЕРЬЕЗНОЙ ПОРЧЕ ИМУЩЕСТВА ИЛИ НАНЕСЕНИЮ ВРЕДА ОКРУЖАЮЩЕЙ СРЕДЫ (ОБОБЩЕННО - "ПРИМЕНЕНИЯ В УСЛОВИЯХ ВЫСОКОГО УРОВНЯ РИСКА"). КРОМЕ ТОГО, ДОЛЖНЫ БЫТЬ ПРИНЯТЫ МЕРЫ ЗАЩИТЫ ОТ СБОЕВ, ВКЛЮЧАЯ РЕЗЕРВНОЕ КОПИРОВАНИЕ ДАННЫХ И ОТКЛЮЧЕНИЕ МЕХАНИЗМОВ. NI В ЯВНОМ ВИДЕ ОТКАЗЫВАЕТСЯ ОТ ЛЮБЫХ ПРЯМЫХ ИЛИ ПОДРАЗУМЕВАЕМЫХ ГАРАНТИЙ ПРИГОДНОСТИ ПРОДУКТОВ ИЛИ УСЛУГ ДЛЯ ПРИМЕНЕНИЯ В УСЛОВИЯХ ВЫСОКОГО УРОВНЯ РИСКА.

Информация о соответствии

Электромагнитная совместимость

Данное оборудование протестировано и признано соответствующим нормативным требованиям и ограничениям электромагнитной совместимости (ЭМС), как указано в Декларации соответствия оборудования (DoC)¹. Эти требования и ограничения предоставляют достаточную защиту от вредных помех при эксплуатации продукта в надлежащей электромагнитной среде. В особых случаях, например, когда в непосредственной близости используется высокочувствительное или оборудование, излучающее помехи, могут потребоваться дополнительные меры по уменьшению воздействия электромагнитных помех.

Хотя данное оборудование соответствует применимым нормативным требованиям ЭМС, не гарантируется, что помехи не возникнут в конкретной установке. Для минимизации потенциальных помех при приеме теле- и радиосигналов и предотвращения нежелательного ухудшения характеристик, устанавливайте и используйте данный продукт в строгом соответствии с инструкциями, приведенными в настоящем документе и DoC¹.

Если это оборудование на самом деле создает помехи для лицензированных услуг радиосвязи или другой находящейся рядом электроники, что можно определить, выключив и включив оборудование, рекомендуется попытаться устранить помехи одним или несколькими из следующих способов:

- Переориентируйте антенну приемника (устройства, на которое воздействуют помехи).
- Переместите передатчик (устройство, генерирующее помехи) относительно приемника.
- Подключите передатчик к другой розетке, чтобы передатчик и приемник находились в разных ветвях цепи.

Некоторым аппаратным средствам может потребоваться металлический экранированный корпус (без окон) для соответствия требованиям электромагнитной совместимости для особых сред ЭМС, например, для использования в морских условиях или в зонах тяжелой промышленности. Обратитесь к пользовательской документации оборудования и DoC¹ за требованиями к установке продукта.

Когда оборудование подключено к тестируемому объекту или к тестовым проводникам, система может стать более чувствительной к помехам или может вызвать помехи в локальной электромагнитной среде.

Эксплуатация данного оборудования в жилом районе может вызвать вредные помехи. Пользователям необходимо устранить помехи за свой счет или прекратить эксплуатацию оборудования.

Изменения или модификации, не одобренные в явном виде National Instruments, могут лишить пользователя права использовать оборудование в соответствии с местными правилами регулирования.

¹ Декларация о соответствии (DoC) содержит важные сведения о соответствии требованиям ЭМС и инструкции для пользователя или установщика. Чтобы получить Декларацию о соответствии данного изделия посетите страницу ni.com/certification, выполните поиск по серии и номеру модели и щелкните по соответствующей ссылке в столбце Certification.

Содержание

| | |
|---|-----------|
| FlexRIOРуководство пользователя NI-7931R/7932R/7935R | 1 |
| Правовая информация | 3 |
| Информация о соответствии | 6 |
| Электромагнитная совместимость | 6 |
| Содержание..... | 7 |
| О данном руководстве..... | 10 |
| Сопутствующая документация | 10 |
| Документация Xilinx | 12 |
| Дополнительные источники | 13 |
| Перед началом работы | 14 |
| Требования к разработке | 14 |
| Информация о лицензии Xilinx | 15 |
| Установка NI-793xR..... | 16 |
| Установка NI-793xR непосредственно на плоскую поверхность | 17 |
| Установка резиновых ножек | 18 |
| Архитектура аппаратных средств | 19 |
| NI-7931R | 19 |
| Основные особенности NI-7931R | 41 |
| Архитектура блока синхронизации | 23 |
| NI-7932R | 24 |
| Основные особенности NI-7932R | 27 |
| Архитектура блока синхронизации | 29 |
| NI-7935R | 30 |
| Основные особенности NI-7935R | 33 |
| Архитектура блока синхронизации | 34 |
| Программирование в LabVIEW | 35 |
| Разработка в LabVIEW FPGA | 35 |
| Добавление NI-793xR в проект LabVIEW | 35 |
| Добавление адаптера модуля к целевому устройству | 35 |
| Добавление элементов в целевое устройство NI-793xR..... | 36 |
| Добавление ввода-вывода целевого устройства NI-793xR..... | 36 |
| Конфигурирование опорного сигнала 10 МГц..... | 36 |
| Автозагрузка двоичных файлов при включении | 37 |
| Интерактивный обмен данными с лицевой панелью | 37 |
| Использование библиотек NI общего назначения для проектирования измерительных приборов | 38 |
| Использование библиотеки niInstr Instruction Framework | 38 |

| | |
|--|-----------|
| Обзор библиотеки Streaming..... | 38 |
| Обзор библиотеки CLIP Adapters..... | 38 |
| Обзор библиотеки Data Trigger..... | 39 |
| Обзор библиотеки Basic Elements | 39 |
| Обзор библиотеки Memory | 39 |
| Компиляция LabVIEW FPGA VI..... | 39 |
| Побочные эффекты при загрузке, сбросе и запуске в хост-интерфейсе LabVIEW FPGA | 40 |
| Потоковая передача данных | 40 |
| Управление потоком..... | 40 |
| Потоковая передача DMA..... | 41 |
| Симуляция поведения FPGA..... | 42 |
| Программирование высокоскоростных последовательных портов | 43 |
| Процесс разработки | 43 |
| Разработка подключаемого CLIP для MGT..... | 44 |
| Архитектура подключаемого CLIP..... | 44 |
| Доступ к инструментальным средствам Xilinx Vivado..... | 45 |
| Генерация IP-ядра из каталога IP Xilinx Vivado | 45 |
| Изменение логики IP-ядра сторонних производителей | 46 |
| Создание списка соединений из IP-ядра..... | 47 |
| Разработка оболочки VHDL вокруг IP-ядра протокола..... | 48 |
| Ограничения и иерархия | 50 |
| Документирование вашего IP | 50 |
| Добавление подключаемого MGT CLIP в проект LabVIEW | 51 |
| Конфигурирование подключаемого CLIP MGT на целевых устройствах NI- 793xR LabVIEW FPGA | 51 |
| Использование существующего VHDL IP внутри CLIP или IPIN..... | 53 |
| Улучшение производительности в больших проектах путем удаления цепей разрешения..... | 53 |
| Программирование целевого устройства реального времени | 54 |
| Рекомендуемые методы | 54 |
| Ключевые понятия..... | 54 |
| Установка и конфигурирование NI-793xR | 55 |
| Создание приложений реального времени | 56 |
| Интеграция системы реального времени | 56 |
| Запрос датчиков скорости вентилятора и температуры | 56 |
| Защита по питанию и от перегрева и отключение питания | 57 |
| API LabVIEW конфигурации системы | 57 |
| Обмен данными с приложениями целевого устройства реального времени | 58 |
| Обмен данными через лицевую панель..... | 58 |
| Сетевой обмен данными | 58 |
| Куда обратиться за поддержкой | 59 |

Содержание

Справочная система LabVIEW Help..... 59

Заметки о версиях и обновлениях модуля LabVIEW Real-Time..... 59

Приложение А. Сигналы CLIP..... 60

NI-7932R 60

NI-7935R 63

Приложение В. Использование вентилятора 67

Замена вентилятора..... 67

Приложение С. Службы NI..... 68

Сервисы и ресурсы 68

Глоссарий 71

О данном руководстве

В *Руководстве пользователя NI-7931R/7932R/7935R* описывается, как использовать контроллеры для FlexRIO NI-7931R, NI-7932R и NI-7935R для разработки высокопроизводительных встраиваемых приложений.

В данном руководстве предоставляется подробная информация об электрических и механических требованиях к разработке IP компонентного уровня (CLIP) и LabVIEW FPGA.

Сопутствующая документация

В следующих документах содержится информация, которая может оказаться полезной при чтении данного руководства:

Таблица 1. Обзор документации

| Документ | Местоположение | Описание |
|---|---|--|
| Руководство по началу работы с контроллером FlexRIO. | Доступны из меню Пуск (Пуск»Все программы»NI FlexRIO) и на сайте ni.com/manuals . | Содержит информацию об установке, настройке и решению проблем вашего контроллера FlexRIO. |
| Технические характеристики вашего контроллера FlexRIO. | | Содержит технические характеристики вашего контроллера FlexRIO. |
| Справка NI FlexRIO | | Содержит информацию о контроллере для разъемов лицевых панелей и ввода-вывода FlexRIO, инструкции по программированию и сведения CLIP адаптера модуля. |
| Руководство разработчика высокопроизводительных приложений LabVIEW FPGA | Доступно на сайте ni.com/tutorial . | Резюмирует наиболее эффективные техники оптимизации пропускной способности, задержки ресурсов FPGA при использовании модуля LabVIEW FPGA и аппаратной платформы RIO. |

Таблица 1. Обзор документации (продолжение)

| Документ | Местоположение | Описание |
|---|---|--|
| <i>Справка модуля LabVIEW FPGA</i> | <p>Данный документ представляет собой раздел справки <i>LabVIEW Help</i> и доступен из меню Пуск»Все программы»National Instruments»LabVIEW 201x»LabVIEW 201x Help или путем поиска <i>FPGA Module Help</i> на сайте ni.com/manuals.</p> <p>Перейдите в раздел FPGA Module закладки Contents для получения информации об использовании модуля LabVIEW FPGA.</p> | <p>С модулем LabVIEW FPGA и LabVIEW вы можете создавать VI, работающие на целевых устройствах FPGA National Instruments.</p> <p>В разделе <i>Getting Started with the LabVIEW FPGA</i> находятся ссылки на лучшие ресурсы, которые вы можете использовать для начала работы с LabVIEW FPGA.</p> <p>В разделе <i>Integrating Third-Party IP (FPGA Module)</i> содержится информация о встраивании пользовательского кода HDL в ваш проект LabVIEW.</p> |
| <i>Справка модуля Real-Time</i> | <p>Данный документ представляет собой раздел справки <i>LabVIEW Help</i> и доступен из меню Пуск»Все программы»National Instruments»LabVIEW 201x»LabVIEW 201x Help или путем поиска <i>Real-Time Module Help</i> на сайте ni.com/manuals.</p> <p>Перейдите в раздел Real-Time Module закладки Contents для получения информации об использовании модуля LabVIEW Real-Time.</p> | <p>Модуль Real-Time объединяет графическое программирование LabVIEW с мощью операционных систем реального времени, позволяя вам создавать приложения реального времени. Используйте этот раздел справки для получения информации о принципах программирования реального времени, пошаговых инструкций для использования LabVIEW с модулем Real-Time, справочной информации о VI и функциях модуля Real-Time и информации о возможностях LabVIEW в операционных системах реального времени.</p> |
| <i>Версия и обновления LabVIEW FPGA</i> | <p>Эти документы доступны на сайте ni.com/manuals, а также из меню Пуск»Все программы»National Instruments»LabVIEW»LabVIEW Manuals.</p> | <p>Содержат информацию об установке модуля LabVIEW FPGA, описывают новые функции и предоставляют информацию об обновлении.</p> |

Документация Xilinx

Документация Xilinx FPGA предоставляет информацию, необходимую для успешной разработки приложений на основе вашего контроллера FlexRIO. В таблице ниже приведен список ресурсов документации Xilinx.

Таблица 2. Документация Xilinx

| Документ | Шифр документации | Описание |
|--|-------------------|--|
| 7 Series FPGAs Overview (Обзор FPGA серии 7) | DS180 | Описывает функции и выбор продуктов FPGA Xilinx серии 7, включая устройства Kintex-7. |
| Kintex-7 FPGAs Data Sheet: DC and AC Switching Characteristics (Справочные данные о характеристиках переключения для постоянного и переменного тока Kintex-7 FPGA) | DS182 | Содержит технические характеристики переключения для постоянного и переменного тока Kintex-7 FPGA. |
| Vivado Design Suite: Release Notes, Installation, and Licensing (Пакет проектирования Vivado: версия, установка и лицензирование) | UG973 | Предоставляет обзор новой версии Vivado Design Suite, включая информацию о новых и измененных функциях, требования к установке программного обеспечения и информацию о лицензировании. |
| High-Speed Serial I/O Made Simple: A Designer's Guide, with FPGA Applications (Упрощение высокоскоростного последовательного ввода-вывода: руководство разработчика приложений на FPGA) | — | Рекомендуется для новых пользователей высокоскоростных последовательных портов. |
| 7 Series FPGAs GTX/GTH Transceivers User Guide (Руководство пользователя приемопередатчиков GTX/GTH на FPGA серии 7) | UG476 | Технический справочник, описывающий приемопередатчики с FPGA GTX/GTH серии 7. |
| Vivado Design Suite User Guide: Using Constraints (Пакет проектирования Vivado: ограничения) | UG903 | Описание ограничений проектирования Xilinx (XDC) в среде инструментальных средств Vivado. |

Вся документация Xilinx доступна на сайте www.xilinx.com.

Дополнительные источники

Таблица 3. Ресурсы для разработки FlexRIO

| Ресурс для разработки | Местоположение | Описание |
|--|---|---|
| Сайт FlexRIO | ni.com/flexrio | Содержит информацию об устройствах FlexRIO, областях применения, и технические ресурсы. |
| Библиотека разработки приборов FlexRIO | https://decibel.ni.com/content/docs/DOC-15799 | Библиотека разработки приборов FlexRIO (FlexRIO Instrument Development Library) - это набор кода хоста и кода FPGA, обеспечивающий возможности FPGA, часто используемые в таких средствах, как движки сбора данных, интерфейсы DRAM и логика запуска, а также связанные с ними API хоста. |
| Примеры LabVIEW | Доступны в поисковике примеров NI Example Finder. Щелкните в меню LabVIEW Help»Find Examples»Hardware Input and Output»FlexRIO . | Содержит примеры запуска FPGA VI и хост-VI на вашем устройстве. |
| IPNet | ni.com/ipnet | Содержит функции LabVIEW FPGA и IP общего пользования. |

Перед началом работы

В этом разделе содержится информация, необходимая для разработки высокопроизводительных встраиваемых приложений с использованием устройств NI-7931R, NI-7932R и NI-7935R.

Требования к разработке

Успешное проектирование системы на основе устройств NI-793xR в зависимости от вашего приложения может потребовать знаний в следующих областях.

- Программирование приложений реального времени
- Разработка кода VHDL
- Программирование в LabVIEW и в LabVIEW FPGA

Если вы не знакомы ни с одним из этих понятий, обратитесь к следующей таблице за списком ресурсов для изучения основ, необходимых для разработки на NI-793xR.

Таблица 1-1. Основные ресурсы

| Тема | Ресурсы |
|---|--|
| Программирование приложений реального времени | Курсы программирования в реальном времени доступны на сайте ni.com/training . Вы можете также обратиться к справке <i>LabVIEW Real-Time Module Help</i> на странице ni.com/manuals . |
| Разработка кода VHDL | Перед реализацией пользовательских протоколов с высокоскоростными последовательными приемопередатчиками необходимо некоторое обучение или опыт работы с VHDL. Не пытайтесь разрабатывать IP на уровне компонентов (CLIP), не обладая знаниями VHDL. Обратитесь к справке <i>FlexRIO Help</i> для получения дополнительной информации о CLIP. |
| Программирование в LabVIEW и в LabVIEW FPGA | Обучение LabVIEW и LabVIEW FPGA доступны на сайте ni.com/training . Вы можете также обратиться к документу <i>NI LabVIEW High-Performance FPGA Developer's Guide</i> на сайте ni.com/tutorials . |

Информация о лицензии Xilinx

Обратитесь к параграфу *Документация Xilinx* раздела *О данном руководстве* за списком документов Xilinx, содержащих важную информацию о лицензии.

Установка NI-793xR

В этом разделе содержится информация об установке устройств NI-793xR.



Примечание Перед началом установки NI-793xR обратитесь к руководству по началу работы с вашим устройством NI-793xR для получения инструкций по подключению питания к NI-793xR, включению питания NI-793xR и подключению NI-793xR к хост-компьютеру.

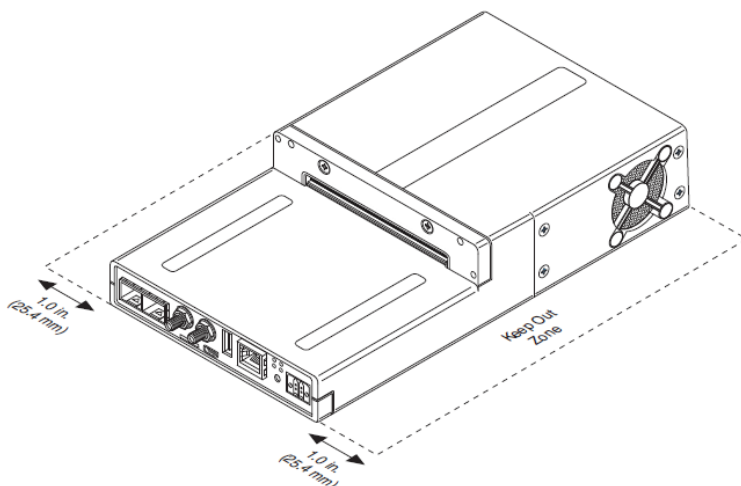


Внимание Ориентация NI-793xR при установке незначительна; однако при установке NI-793xR в перевернутом виде убедитесь в поддержке модуля адаптера FlexRIO, если ожидаете удары более 30 g/11 мс.



Внимание Чтобы поддерживать максимально допустимую температуру окружающей среды, указанную в технических характеристиках вашего устройства, вы должны обеспечить как минимум 1 дюйм зазора по обе стороны от NI-793xR. На рисунке 2-1 показано местоположение зазоров для обдува.

Рисунок 2-1. Зазоры для обдува



Вы можете установить NI-793xR различными способами. В таблице ниже приведены рекомендуемые варианты установки.

Таблица 2-1. Варианты установки

| Метод | Требуемый комплект аксессуаров | Шифр изделия NI |
|------------------|---|-----------------|
| Непосредственный | — | — |
| На панели | Комплект для монтажа на панели (Panel Mount Accessory Kit) | 784365-01 |

В разделах ниже содержатся инструкции по установке. Прежде, чем приступить к установке любым из способов, запишите серийный номер, находящийся на задней стороне устройства. Вы не сможете прочитать его после установки.



Внимание Вы должны обеспечить физическую поддержку любых адаптеров модулей FlexRIO в процессе установки.

Установка NI-793xR непосредственно на плоскую поверхность

Для приложений, чувствительных к ударам и вибрации, National Instruments рекомендует устанавливать непосредственно на плоскую жесткую поверхность, используя монтажные отверстия устройства.

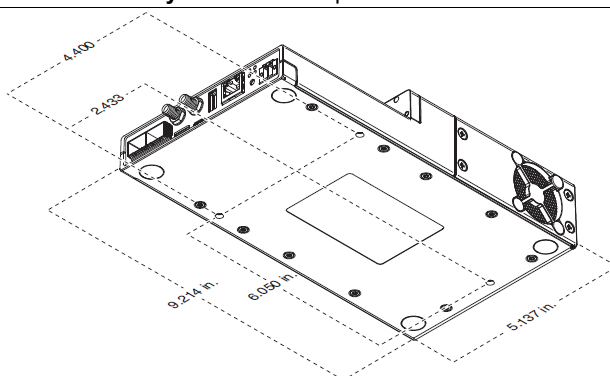
Вам понадобятся следующие элементы для установки устройства на плоскую поверхность:

- Три винта, M4, 7 мм + толщина монтажной поверхности

Выполните следующие действия для установки устройства.

1. Используя размеры, показанные на рисунке 2-2, просверлите отверстия, необходимые для установки устройства.
2. Просверлите проходные отверстия диаметром 4,5 мм.
3. Выверните устройство на поверхности.
4. Закрепите устройство на поверхности с помощью винтов.

Рисунок 2-2. Размеры NI-793xR



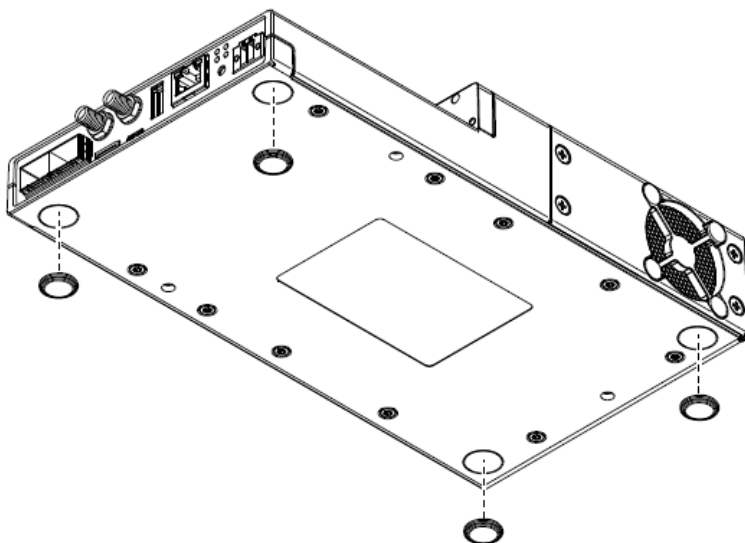
Установка резиновых ножек

NI-793xR поставляется с опциональными резиновыми ножками. Установите резиновые ножки внизу устройства, как показано на рисунке 2-3.



Внимание Не устанавливайте резиновые ножки при непосредственном монтаже NI-793xR на поверхность. Они мешают полному контакту устройства с монтажной поверхностью.

Рисунок 2-3. Установка резиновых ножек



Архитектура аппаратных средств

В этой главе содержится информация об архитектуре аппаратных средств NI-793xR.

NI-7931R

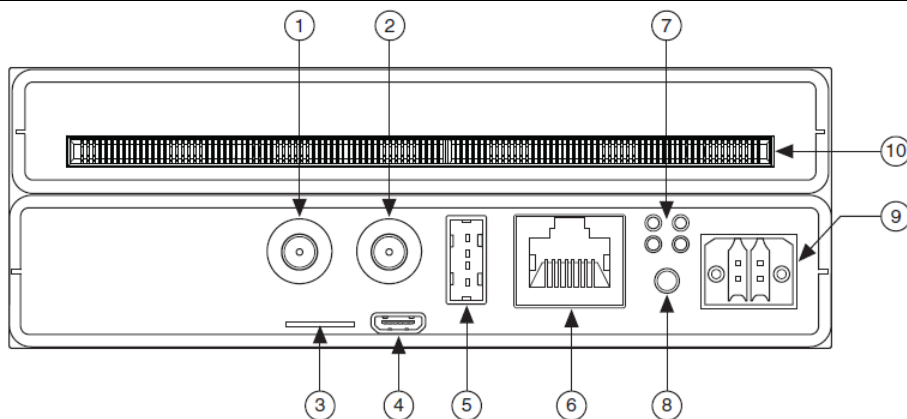
NI-7931R - встраиваемый контроллер FlexRIO со встроенным процессором и реконфигурируемой FPGA.



Примечание Аппаратные средства NI-7931R не нуждаются в калибровке.

На рисунке ниже показаны разъемы лицевой панели NI-7931R. Для получения дополнительной информации о разъемах на лицевой панели обратитесь к техническим характеристикам устройства и справке *FlexRIO Help*. Для получения дополнительной информации о подключении устройства к хост-компьютеру обратитесь к документу *NI-7931R Getting Started Guide*.

Рисунок 3-1. Разъемы на лицевой панели NI-7931R



- | | |
|-----------------------|-------------------------------------|
| 1 TRIG | 6 1 Гб Ethernet |
| 2 REF IN | 7 Светодиодные индикаторы* |
| 3 Карта μSD | 8 Кнопка Reset |
| 4 Порт устройства USB | 9 Источник питания постоянного тока |
| 5 Хост USB | 10 Разъем адаптера модуля FlexRIO† |

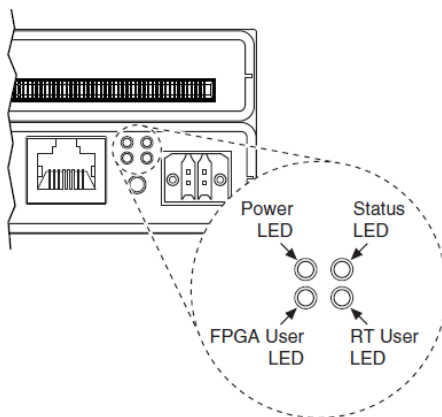
* Местоположение светодиодов показано на рисунке 3-2.

† Обратитесь к документу NI-7931R Getting Started Guide за инструкциями по подключению питания к NI-7931R.

‡ Схема расположения выводов приведена на рисунке 3-3

На рисунке ниже светодиоды NI-7931R показаны более подробно.

Рисунок 3-2. Светодиоды NI-7931R



На рисунке показаны доступные сигналы разъема адаптера модуля NI-7931R.

Рисунок 3-3. Схема расположения выводов разъема NI-7931R FPGA

| PCB | | | | PCB | | | |
|------------------|-----|--------------|---------------|----------------|-----|--------------|--------------|
| Secondary Side | | Primary Side | | Secondary Side | | Primary Side | |
| +3.3V | P1 | P1 | +3.3V | GND | G21 | G21 | GND |
| SDA | S74 | S148 | SCL | GPIO_CC_38_n | S40 | S114 | GPIO_CC_14_n |
| TB_Power_Good | S73 | S147 | TB_Present_n | GPIO_CC_38 | S39 | S113 | GPIO_CC_14 |
| +12V | P2 | P2 | +12V | GND | G20 | G20 | GND |
| Vcco | S72 | S146 | Vcco | GPIO_38_n | S38 | S112 | GPIO_15_n |
| Vaoprom | S71 | S145 | RSVD | GPIO_38 | S37 | S111 | GPIO_15 |
| GND | G37 | G37 | GND | GND | G19 | G19 | GND |
| TDC_Assert_CLK_n | S70 | S144 | IOModSyncCk_n | GPIO_40_n | S36 | S110 | GPIO_16_n |
| TDC_Assert_CLK | S69 | S143 | IOModSyncCk | GPIO_40 | S35 | S109 | GPIO_16 |
| GND | G36 | G36 | GND | GND | G18 | G18 | GND |
| GPIO_24_n | S68 | S142 | GPIO_0_n | GPIO_41_n | S34 | S108 | GPIO_17_n |
| GPIO_24 | S67 | S141 | GPIO_0 | GPIO_41 | S33 | S107 | GPIO_17 |
| GND | G35 | G35 | GND | GND | G17 | G17 | GND |
| GPIO_25_n | S66 | S140 | GPIO_1_n | GPIO_42_n | S32 | S106 | GPIO_18_n |
| GPIO_25 | S65 | S139 | GPIO_1 | GPIO_42 | S31 | S105 | GPIO_18 |
| GND | G34 | G34 | GND | GND | G16 | G16 | GND |
| GPIO_CC_26_n | S64 | S138 | GPIO_CC_2_n | GPIO_43_n | S30 | S104 | GPIO_19_n |
| GPIO_CC_26 | S63 | S137 | GPIO_CC_2 | GPIO_43 | S29 | S103 | GPIO_19 |
| GND | G33 | G33 | GND | GND | G15 | G15 | GND |
| GPIO_27_n | S62 | S136 | GPIO_3_n | GPIO_44_n | S28 | S102 | GPIO_20_n |
| GPIO_27 | S61 | S135 | GPIO_3 | GPIO_44 | S27 | S101 | GPIO_20 |
| GND | G32 | G32 | GND | GND | G14 | G14 | GND |
| GPIO_28_n | S60 | S134 | GPIO_4_n | GPIO_45_n | S26 | S100 | GPIO_21_n |
| GPIO_28 | S59 | S133 | GPIO_4 | GPIO_45 | S25 | S99 | GPIO_21 |
| GND | G31 | G31 | GND | GND | G13 | G13 | GND |
| GPIO_29_n | S58 | S132 | GPIO_5_n | GPIO_46_n | S24 | S98 | GPIO_22_n |
| GPIO_29 | S57 | S131 | GPIO_5 | GPIO_46 | S23 | S97 | GPIO_22 |
| GND | G30 | G30 | GND | GND | G12 | G12 | GND |
| GPIO_30_n | S56 | S130 | GPIO_6_n | GPIO_47_n | S22 | S96 | GPIO_23_n |
| GPIO_30 | S55 | S129 | GPIO_6 | GPIO_47 | S21 | S95 | GPIO_23 |
| GND | G29 | G29 | GND | GND | G11 | G11 | GND |
| GPIO_31_n | S54 | S128 | GPIO_7_n | GPIO_48_n | S20 | S94 | GPIO_58_n |
| GPIO_31 | S53 | S127 | GPIO_7 | GPIO_48 | S19 | S93 | GPIO_58 |
| GND | G28 | G28 | GND | GND | G10 | G10 | GND |
| GPIO_32_n | S52 | S126 | GPIO_8_n | GPIO_49_n | S18 | S92 | GPIO_59_n |
| GPIO_32 | S51 | S125 | GPIO_8 | GPIO_49 | S17 | S91 | GPIO_59 |
| GND | G27 | G27 | GND | GND | G9 | G9 | GND |
| GPIO_33_n | S50 | S124 | GPIO_9_n | GPIO_CC_50_n | S16 | S90 | GPIO_CC_60_n |
| GPIO_33 | S49 | S123 | GPIO_9 | GPIO_CC_50 | S15 | S89 | GPIO_CC_60 |
| GND | G26 | G26 | GND | GND | G8 | G8 | GND |
| GPIO_34_n | S48 | S122 | GPIO_10_n | GPIO_51_n | S14 | S98 | GPIO_61_n |
| GPIO_34 | S47 | S121 | GPIO_10 | GPIO_51 | S13 | S87 | GPIO_61 |
| GND | G25 | G25 | GND | GND | G7 | G7 | GND |
| GPIO_35_n | S46 | S120 | GPIO_11_n | GPIO_52_n | S12 | S86 | GPIO_62_n |
| GPIO_35 | S45 | S119 | GPIO_11 | GPIO_52 | S11 | S85 | GPIO_62 |
| GND | G24 | G24 | GND | GND | G6 | G6 | GND |
| GPIO_36_n | S44 | S118 | GPIO_12_n | GPIO_53_n | S10 | S84 | GPIO_63_n |
| GPIO_36 | S43 | S117 | GPIO_12 | GPIO_53 | S9 | S83 | GPIO_63 |
| GND | G23 | G23 | GND | GND | G5 | G5 | GND |
| GPIO_37_n | S42 | S116 | GPIO_13_n | GPIO_54_n | S8 | S82 | GPIO_64_n |
| GPIO_37 | S41 | S115 | GPIO_13 | GPIO_54 | S7 | S81 | GPIO_64 |
| GND | G22 | G22 | GND | GND | G4 | G4 | GND |
| | | | | GPIO_55_n | S6 | S80 | GPIO_65_n |
| | | | | GPIO_55 | S5 | S79 | GPIO_65 |
| | | | | GND | G3 | G3 | GND |
| | | | | GPIO_56_n | S4 | S78 | GPIO_66_n |
| | | | | GPIO_56 | S3 | S77 | GPIO_66 |
| | | | | GND | G2 | G2 | GND |
| | | | | GPIO_57_n | S2 | S76 | GPIO_67_n |
| | | | | GPIO_57 | S1 | S75 | GPIO_67 |
| | | | | GND | G1 | G1 | GND |



Примечание Контакты S72 и S146 соединены коротко.

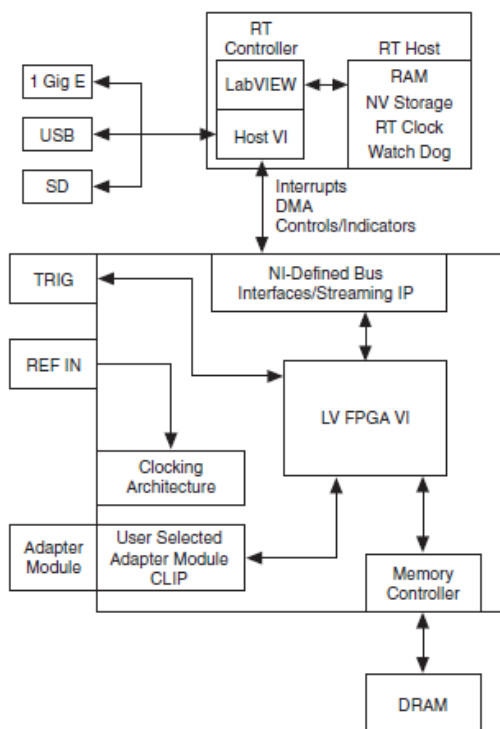
Основные особенности NI-7931R

Устройство NI-7931R обладает следующими основными возможностями. Обратитесь к документу *NI-7931R Specifications* для получения дополнительной информации.

- Kintex-7 XC7K325T FPGA
- 2 ГБ встроенной DRAM, доступной для FPGA
- 32-разрядный контроллер реального времени с ОС NI Linux
- Скорость передачи данных FPGA-Хост до 200 МБ/с (в одном направлении), до 150 МБ/с (в обоих направлениях)
- Процессор реального времени для передачи данных на внешний USB-накопитель со скоростью 60 МБ/с
- Процессор реального времени для передачи данных на внешний SD-накопитель со скоростью 12 МБ/с (чтение), 9.0 МБ/с (запись)

На рисунке ниже показаны ключевые компоненты архитектуры NI-7931R.

Рисунок 3-4. Основные компоненты архитектуры NI-7931R



RT Controller – контроллер реального времени, RT Host – хост реального времени, Interrupts – прерывания, DMA – прямой доступ к памяти, Controls/Indicators – элементы управления и индикаторы, NI-Defined Bus Interface/Streaming IP – определяемый NI IP шинных интерфейсов и потоковой передачи, Cloning Architecture – архитектура синхронизации, Adapter Module – адаптер модуля, User Selected Adapter Module CLIP – выбираемый пользователем CLIP адаптера модуля, Memory Controller – контроллер памяти

Архитектура блока синхронизации

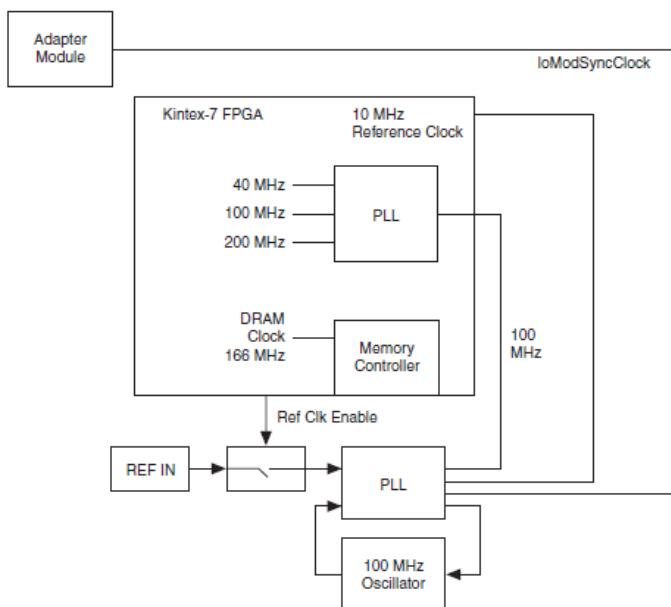
Устройство NI-7931R содержит специальный аппаратный блок для обеспечения возможностей гибкой синхронизации вашей системы FlexRIO. Обратитесь к главе 4, [Разработка в LabVIEW FPGA](#), для получения информации о конфигурировании тактовых сигналов в LabVIEW FPGA.

Архитектура блока синхронизации NI-7931R предоставляет следующие тактовые сигналы:

- Опорный сигнал 10 МГц
- Встроенный сигнал 40 МГц (используется по умолчанию)
- Тактовый сигнал 100 МГц
- Тактовый сигнал MGT 156,25 МГц/312,5 МГц
- Тактовый сигнал 200 МГц
- Тактовый сигнал DRAM

На рисунке ниже показана схема блока синхронизации NI-7931R.

Рисунок 3-5. Схема блока синхронизации NI-7931R



Adapter Module – адаптер модуля, 10 MHz Reference Clock – опорный сигнал 10 МГц, PLL – ФАПЧ, Memory Controller – контроллер памяти, 100 MHz – осциллятор 100 МГц

NI-7932R

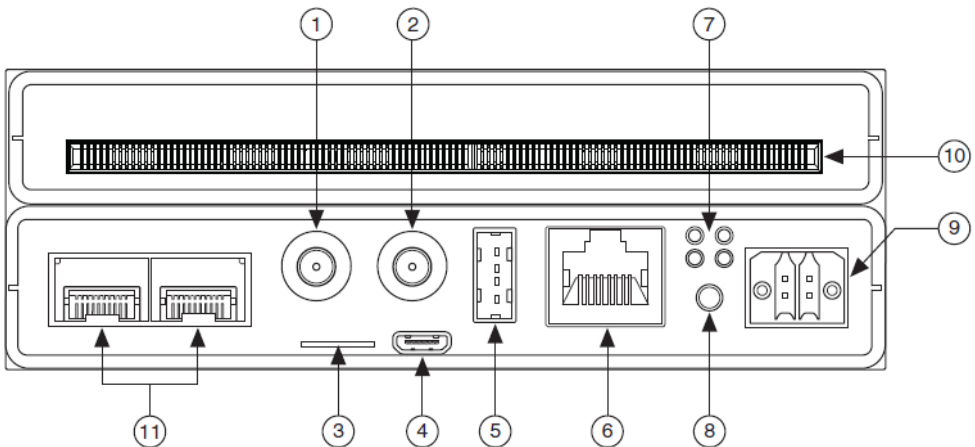
NI-7932R – встраиваемый контроллер FlexRIO с LabVIEW Real-Time процессором и переконфигурируемой FPGA. NI-7932R содержит высокоскоростной последовательный интерфейс, который использует технологию Xilinx гигабитных передатчиков (MGT); вы можете использовать существующий IP протокола, который работает с MGT, или разработать свой собственный IP протокола. Обратитесь к главе 5, [Программирование высокоскоростных последовательных портов](#), для получения информации о взаимодействии с MGT через порты SFP+.



Примечание Аппаратные средства NI-7931R не нуждаются в калибровке.

На рисунке ниже показаны разъемы лицевой панели NI-7932R. Для получения дополнительной информации о разъемах на лицевой панели обратитесь к техническим характеристикам устройства и справке *FlexRIO Help*. Для получения информации о подключении устройства к хост-компьютеру обратитесь к документу *NI-7932R Getting Started Guide*.

Рисунок 3-6. Разъемы лицевой панели NI-7932R



- | | |
|-----------------------|-------------------------------------|
| 1 TRIG | 7 Светодиодные индикаторы* |
| 2 REF IN | 8 Кнопка Reset |
| 3 Карта μSD | 9 Источник питания постоянного тока |
| 4 Порт устройства USB | 10 Разъем адаптера модуля FlexRIO† |
| 5 Хост USB | 11 Разъемы SFP+ |
| 6 1 Gb Ethernet | |

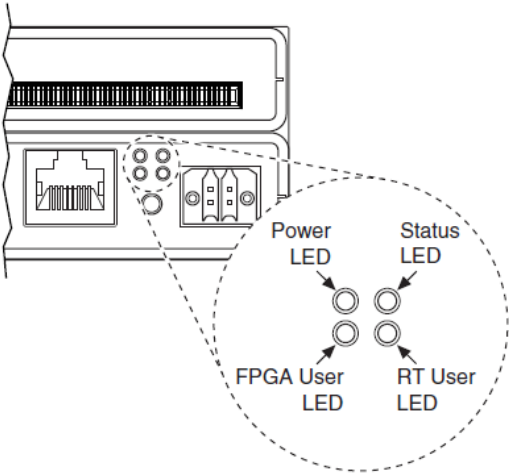
*Местоположение светодиодов показано на рисунке 3-7.

† Обратитесь к документу *NI-7932R Getting Started Guide* за инструкциями по подключению питания к NI-7932R.

‡ Схема расположения выводов приведена на рисунке 3-8.

На рисунке ниже светодиоды NI-7932R показаны более подробно.

Рисунок 3-7. Светодиоды NI-7932R



На рисунке показаны доступные сигналы разъема адаптера модуля NI-7932R.

Рисунок 3-8. Схема расположения выводов разъема FPGA NI-7932R

| PCB Secondary Side | | | PCB Primary Side | | | PCB Secondary Side | | | PCB Primary Side | | |
|--------------------|-----|------|------------------|--|--|--------------------|-----|------|------------------|--|--|
| +3.3V | P1 | P1 | +3.3V | | | GND | G21 | G21 | GND | | |
| SDA | S74 | S148 | SCL | | | GPIO_CC_38_n | S40 | S114 | GPIO_CC_14_n | | |
| TB_Power_Good | S73 | S147 | TB_Present_n | | | GPIO_CC_38 | S39 | S113 | GPIO_CC_14 | | |
| +12V | P2 | P2 | +12V | | | GND | G20 | G20 | GND | | |
| Vcco | S72 | S146 | Vcco | | | GPIO_99_n | S38 | S112 | GPIO_15_n | | |
| Voepprom | S71 | S145 | RSVD | | | GPIO_99 | S37 | S111 | GPIO_15 | | |
| GND | G37 | G37 | GND | | | GND | G19 | G19 | GND | | |
| TDC_Assert_CLK_n | S70 | S144 | IOModSyncClk_n | | | GPIO_40_n | S36 | S110 | GPIO_16_n | | |
| TDC_Assert_CLK | S69 | S143 | IOModSyncClk | | | GPIO_40 | S35 | S109 | GPIO_16 | | |
| GND | G36 | G36 | GND | | | GND | G18 | G18 | GND | | |
| GPIO_24_n | S68 | S142 | GPIO_0_n | | | GPIO_41_n | S34 | S108 | GPIO_17_n | | |
| GPIO_24 | S67 | S141 | GPIO_0 | | | GPIO_41 | S33 | S107 | GPIO_17 | | |
| GND | G35 | G35 | GND | | | GND | G17 | G17 | GND | | |
| GPIO_25_n | S66 | S140 | GPIO_1_n | | | GPIO_42_n | S32 | S106 | GPIO_18_n | | |
| GPIO_25 | S65 | S139 | GPIO_1 | | | GPIO_42 | S31 | S105 | GPIO_18 | | |
| GND | G34 | G34 | GND | | | GND | G16 | G16 | GND | | |
| GPIO_CC_26_n | S64 | S138 | GPIO_CC_2_n | | | GPIO_43_n | S30 | S104 | GPIO_19_n | | |
| GPIO_CC_26 | S63 | S137 | GPIO_CC_2 | | | GPIO_43 | S29 | S103 | GPIO_19 | | |
| GND | G33 | G33 | GND | | | GND | G15 | G15 | GND | | |
| GPIO_27_n | S62 | S136 | GPIO_3_n | | | GPIO_44_n | S28 | S102 | GPIO_20_n | | |
| GPIO_27 | S61 | S135 | GPIO_3 | | | GPIO_44 | S27 | S101 | GPIO_20 | | |
| GND | G32 | G32 | GND | | | GND | G14 | G14 | GND | | |
| GPIO_28_n | S60 | S134 | GPIO_4_n | | | GPIO_45_n | S26 | S100 | GPIO_21_n | | |
| GPIO_28 | S59 | S133 | GPIO_4 | | | GPIO_45 | S25 | S99 | GPIO_21 | | |
| GND | G31 | G31 | GND | | | GND | G13 | G13 | GND | | |
| GPIO_29_n | S58 | S132 | GPIO_5_n | | | GPIO_46_n | S24 | S98 | GPIO_22_n | | |
| GPIO_29 | S57 | S131 | GPIO_5 | | | GPIO_46 | S23 | S97 | GPIO_22 | | |
| GND | G30 | G30 | GND | | | GND | G12 | G12 | GND | | |
| GPIO_30_n | S56 | S130 | GPIO_6_n | | | GPIO_47_n | S22 | S96 | GPIO_23_n | | |
| GPIO_30 | S55 | S129 | GPIO_6 | | | GPIO_47 | S21 | S95 | GPIO_23 | | |
| GND | G29 | G29 | GND | | | GND | G11 | G11 | GND | | |
| GPIO_31_n | S54 | S128 | GPIO_7_n | | | GPIO_48_n | S20 | S94 | GPIO_58_n | | |
| GPIO_31 | S53 | S127 | GPIO_7 | | | GPIO_48 | S19 | S93 | GPIO_58 | | |
| GND | G28 | G28 | GND | | | GND | G10 | G10 | GND | | |
| GPIO_32_n | S52 | S126 | GPIO_8_n | | | GPIO_49_n | S18 | S92 | GPIO_59_n | | |
| GPIO_32 | S51 | S125 | GPIO_8 | | | GPIO_49 | S17 | S91 | GPIO_59 | | |
| GND | G27 | G27 | GND | | | GND | G9 | G9 | GND | | |
| GPIO_33_n | S50 | S124 | GPIO_9_n | | | GPIO_CC_50_n | S16 | S90 | GPIO_CC_60_n | | |
| GPIO_33 | S49 | S123 | GPIO_9 | | | GPIO_CC_50 | S15 | S89 | GPIO_CC_60 | | |
| GND | G26 | G26 | GND | | | GND | G8 | G8 | GND | | |
| GPIO_34_n | S48 | S122 | GPIO_10_n | | | GPIO_51_n | S14 | S88 | GPIO_61_n | | |
| GPIO_34 | S47 | S121 | GPIO_10 | | | GPIO_51 | S13 | S87 | GPIO_61 | | |
| GND | G25 | G25 | GND | | | GND | G7 | G7 | GND | | |
| GPIO_35_n | S46 | S120 | GPIO_11_n | | | GPIO_52_n | S12 | S86 | GPIO_62_n | | |
| GPIO_35 | S45 | S119 | GPIO_11 | | | GPIO_52 | S11 | S85 | GPIO_62 | | |
| GND | G24 | G24 | GND | | | GND | G6 | G6 | GND | | |
| GPIO_36_n | S44 | S118 | GPIO_12_n | | | GPIO_53_n | S10 | S84 | GPIO_63_n | | |
| GPIO_36 | S43 | S117 | GPIO_12 | | | GPIO_53 | S9 | S83 | GPIO_63 | | |
| GND | G23 | G23 | GND | | | GND | G5 | G5 | GND | | |
| GPIO_37_n | S42 | S116 | GPIO_13_n | | | GPIO_54_n | S8 | S82 | GPIO_64_n | | |
| GPIO_37 | S41 | S115 | GPIO_13 | | | GPIO_54 | S7 | S81 | GPIO_64 | | |
| GND | G22 | G22 | GND | | | GND | G4 | G4 | GND | | |
| | | | | | | GPIO_55_n | S6 | S80 | GPIO_65_n | | |
| | | | | | | GPIO_55 | S5 | S79 | GPIO_65 | | |
| | | | | | | GND | G3 | G3 | GND | | |
| | | | | | | GPIO_56_n | S4 | S78 | GPIO_66_n | | |
| | | | | | | GPIO_56 | S3 | S77 | GPIO_66 | | |
| | | | | | | GND | G2 | G2 | GND | | |
| | | | | | | GPIO_57_n | S2 | S76 | GPIO_67_n | | |
| | | | | | | GPIO_57 | S1 | S75 | GPIO_67 | | |
| | | | | | | GND | G1 | G1 | GND | | |



Примечание Контакты S72 и S146 соединены накоротко.

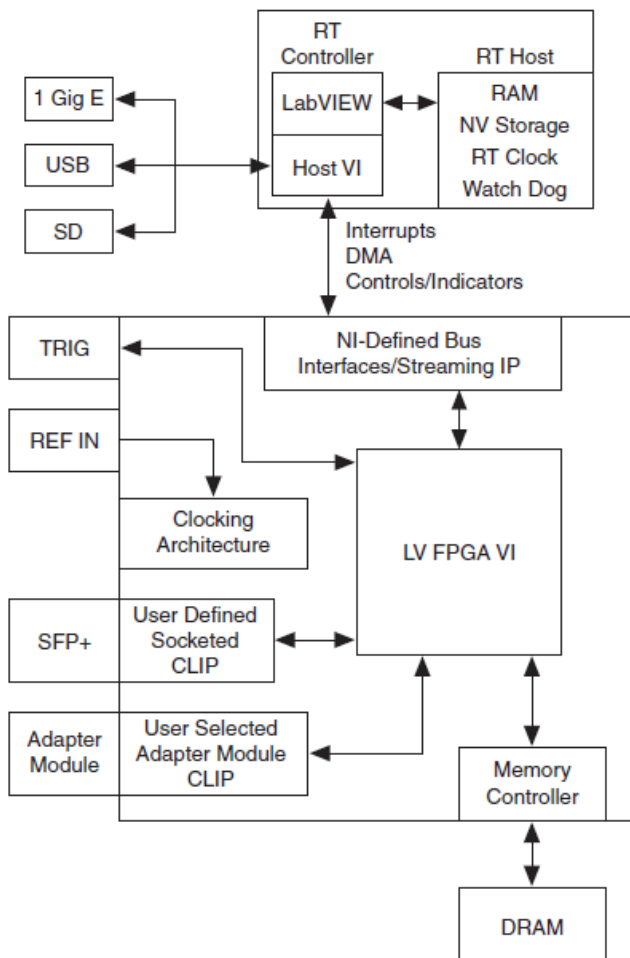
Основные особенности NI-7932R

Устройство NI-7932R обладает следующими основными возможностями. Обратитесь к документу *NI-7932R Specifications* для получения дополнительной информации.

- Частоты по линиям SFP+ 3,125 Гб/с, 6,25 Гб/с и 10,3125 Гб/с
- Kintex-7 XC7K325T FPGA
- 2 Гб встроенной DRAM, доступной для FPGA
- 32-разрядный контроллер реального времени с ОС NI Linux
- Скорость передачи данных FPGA-Хост до 200 МБ/с (в одном направлении), до 150 МБ/с (в обоих направлениях)
- Процессор реального времени для передачи данных на внешний USB-накопитель со скоростью 60 МБ/с
- Процессор реального времени для передачи данных на внешний SD-накопитель со скоростью 12 МБ/с (чтение), 9,0 МБ/с (запись)

На рисунке ниже показаны основные компоненты архитектуры NI-7932R.

Рисунок 3-9. Основные компоненты архитектуры NI-7932R



RT Controller – контроллер реального времени, RT Host – хост реального времени, Interrupts – прерывания, DMA – прямой доступ к памяти, Controls/Indicators – элементы управления и индикаторы, NI-Defined Bus Interface/Streaming IP – определяемый NI IP шинных интерфейсов и потоковой передачи, Clocking Architecture – архитектура синхронизации, User Defined Socketed CLIP – определяемая пользователем подключаемая CLIP, Adapter Module – адаптер модуля, User Selected Adapter Module CLIP – выбираемый пользователем CLIP адаптера модуля, Memory Controller – контроллер памяти

Архитектура блока синхронизации

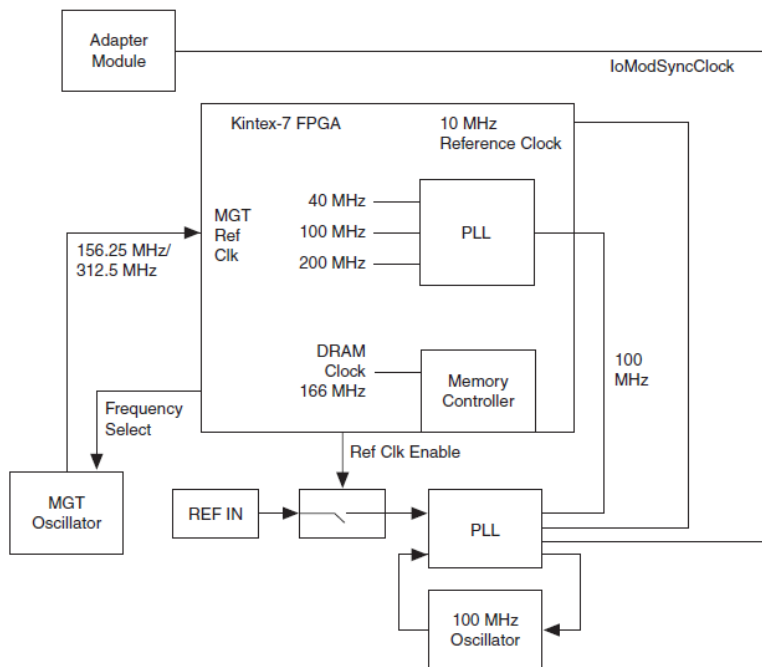
Устройство NI-7932R содержит специальный аппаратный блок для обеспечения возможностей гибкой синхронизации вашей системы FlexRIO. Обратитесь к главе 4, [Разработка в LabVIEW FPGA](#), для получения информации о конфигурировании тактовых сигналов в LabVIEW FPGA.

Архитектура блока синхронизации NI-7932R предоставляет следующие тактовые сигналы:

- Опорный сигнал 10 МГц
- Встроенный сигнал 40 МГц (используется по умолчанию)
- Тактовый сигнал 100 МГц
- Тактовый сигнал MGT 156,25 МГц / 312,5 МГц¹
- Тактовый сигнал 200 МГц
- Тактовый сигнал DRAM

На рисунке ниже показана схема блока синхронизации NI-7932R.

Рисунок 3-10. Схема блока синхронизации NI-7932R



Adapter Module – адаптер модуля, 10 MHz Reference Clock – опорный сигнал 10 МГц, PLL – ФАПЧ, Memory Controller – контроллер памяти, 100 MHz – осциллятор 100 МГц, Frequency Select – выбор частоты, MGT Oscillator – осциллятор MGT

¹ Этот, выбираемый пользователем сигнал, равен 156,25 МГц или 312,5 МГц

NI-7935R

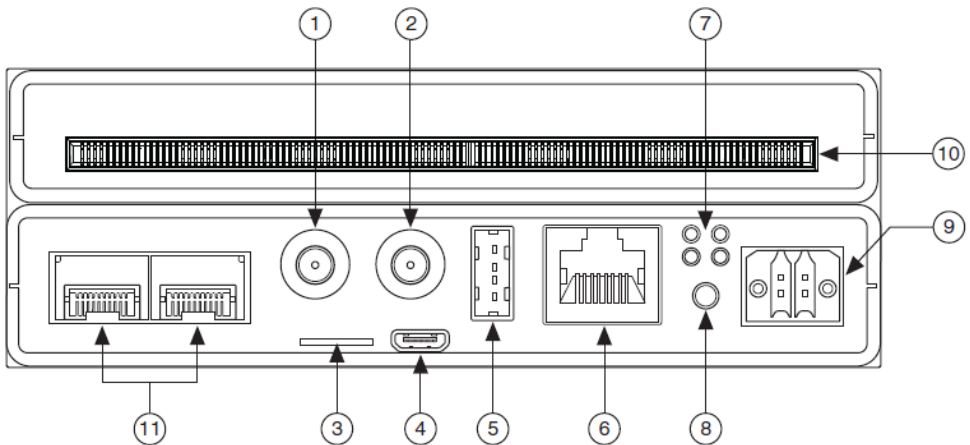
NI-7935R - встраиваемый контроллер FlexRIO со встроенным процессором и реконфигурируемой FPGA. NI-7935R содержит высокоскоростной последовательный интерфейс, который использует технологию Xilinx гигабитных приемопередатчиков (MGT); вы можете использовать существующий IP протокола, который работает с MGT, или разработать свой собственный IP протокола. Обратитесь к главе 5, [Программирование высокоскоростных последовательных портов](#), для получения информации о взаимодействии с MGT через порты SFP+.



Примечание Аппаратные средства NI-7931R не нуждаются в калибровке.

На рисунке ниже показаны разъемы лицевой панели NI-7935R. Для получения дополнительной информации о разъемах на лицевой панели обратитесь к техническим характеристикам устройства и справке *FlexRIO Help*. Для получения информации о подключении устройства к хост-компьютеру обратитесь к документу *NI-7935R Getting Started Guide*.

Рисунок 3-11. Разъемы лицевой панели NI-7935R



- | | |
|-----------------------|-------------------------------------|
| 1 TRIG | 7 Светодиодные индикаторы* |
| 2 REF IN | 8 Кнопка Reset |
| 3 Карта μ SD | 9 Источник питания постоянного тока |
| 4 Порт устройства USB | 10 Разъем адаптера модуля FlexRIO† |
| 5 Хост USB | 11 Разъемы SFP+ |
| 6 1 Гб Ethernet | |

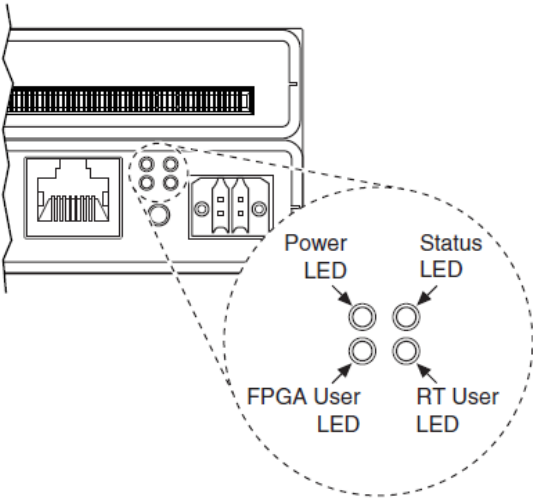
*Местоположение светодиодов показано на рисунке 3-12.

† Обратитесь к документу *NI-7935R Getting Started Guide* за инструкциями по подключению питания к NI-7935R.

‡ Схема расположения выводов приведена на рисунке 3-13

На рисунке ниже светодиоды NI-7935R показаны более подробно.

Рисунок 3-12. Светодиоды NI-7935R



На рисунке показаны доступные сигналы разъема адаптера модуля NI-7935R.

Рисунок 3-13. Схема расположения выводов разъема FPGA NI-7935R

| PCB Secondary Side | | PCB Primary Side | | PCB Secondary Side | | PCB Primary Side | |
|--------------------|-----|------------------|-----------------|--------------------|-----|------------------|--------------|
| +3.3V | P1 | P1 | +3.3V | GND | G21 | G21 | GND |
| SDA | S74 | S148 | SCL | GPIO_CC_38_n | S40 | S114 | GPIO_CC_14_n |
| TB_Power_Good | S73 | S147 | TB_Present_n | GPIO_CC_38 | S39 | S113 | GPIO_CC_14 |
| +12V | P2 | P2 | +12V | GND | G20 | G20 | GND |
| Vccio | S72 | S146 | Vccio | GPIO_38_n | S38 | S112 | GPIO_15_n |
| Vccprom | S71 | S145 | RSVD | GPIO_38 | S37 | S111 | GPIO_15 |
| GND | G37 | G37 | GND | GND | G19 | G19 | GND |
| TDC_Assert_CLK_n | S70 | S144 | IOModSyncClik_n | GPIO_40_n | S36 | S110 | GPIO_16_n |
| TDC_Assert_CLK | S69 | S143 | IOModSyncClik | GPIO_40 | S35 | S109 | GPIO_16 |
| GND | G36 | G36 | GND | GND | G18 | G18 | GND |
| GPIO_24_n | S68 | S142 | GPIO_0_n | GPIO_41_n | S34 | S108 | GPIO_17_n |
| GPIO_24 | S67 | S141 | GPIO_0 | GPIO_41 | S33 | S107 | GPIO_17 |
| GND | G35 | G35 | GND | GND | G17 | G17 | GND |
| GPIO_25_n | S66 | S140 | GPIO_1_n | GPIO_42_n | S32 | S106 | GPIO_18_n |
| GPIO_25 | S65 | S139 | GPIO_1 | GPIO_42 | S31 | S105 | GPIO_18 |
| GND | G34 | G34 | GND | GND | G16 | G16 | GND |
| GPIO_CC_26_n | S64 | S138 | GPIO_CC_2_n | GPIO_43_n | S30 | S104 | GPIO_19_n |
| GPIO_CC_26 | S63 | S137 | GPIO_CC_2 | GPIO_43 | S29 | S103 | GPIO_19 |
| GND | G33 | G33 | GND | GND | G15 | G15 | GND |
| GPIO_27_n | S62 | S136 | GPIO_3_n | GPIO_44_n | S28 | S102 | GPIO_20_n |
| GPIO_27 | S61 | S135 | GPIO_3 | GPIO_44 | S27 | S101 | GPIO_20 |
| GND | G32 | G32 | GND | GND | G14 | G14 | GND |
| GPIO_28_n | S60 | S134 | GPIO_4_n | GPIO_45_n | S26 | S100 | GPIO_21_n |
| GPIO_28 | S59 | S133 | GPIO_4 | GPIO_45 | S25 | S99 | GPIO_21 |
| GND | G31 | G31 | GND | GND | G13 | G13 | GND |
| GPIO_29_n | S58 | S132 | GPIO_5_n | GPIO_46_n | S24 | S98 | GPIO_22_n |
| GPIO_29 | S57 | S131 | GPIO_5 | GPIO_46 | S23 | S97 | GPIO_22 |
| GND | G30 | G30 | GND | GND | G12 | G12 | GND |
| GPIO_30_n | S56 | S130 | GPIO_6_n | GPIO_47_n | S22 | S96 | GPIO_23_n |
| GPIO_30 | S55 | S129 | GPIO_6 | GPIO_47 | S21 | S95 | GPIO_23 |
| GND | G29 | G29 | GND | GND | G11 | G11 | GND |
| GPIO_31_n | S54 | S128 | GPIO_7_n | GPIO_48_n | S20 | S94 | GPIO_58_n |
| GPIO_31 | S53 | S127 | GPIO_7 | GPIO_48 | S19 | S93 | GPIO_58 |
| GND | G28 | G28 | GND | GND | G10 | G10 | GND |
| GPIO_32_n | S52 | S126 | GPIO_8_n | GPIO_49_n | S18 | S92 | GPIO_59_n |
| GPIO_32 | S51 | S125 | GPIO_8 | GPIO_49 | S17 | S91 | GPIO_59 |
| GND | G27 | G27 | GND | GND | G9 | G9 | GND |
| GPIO_33_n | S50 | S124 | GPIO_9_n | GPIO_CC_50_n | S16 | S90 | GPIO_CC_60_n |
| GPIO_33 | S49 | S123 | GPIO_9 | GPIO_CC_50 | S15 | S89 | GPIO_CC_60 |
| GND | G26 | G26 | GND | GND | G8 | G8 | GND |
| GPIO_34_n | S48 | S122 | GPIO_10_n | GPIO_51_n | S14 | S88 | GPIO_61_n |
| GPIO_34 | S47 | S121 | GPIO_10 | GPIO_51 | S13 | S87 | GPIO_61 |
| GND | G25 | G25 | GND | GND | G7 | G7 | GND |
| GPIO_35_n | S46 | S120 | GPIO_11_n | GPIO_52_n | S12 | S86 | GPIO_62_n |
| GPIO_35 | S45 | S119 | GPIO_11 | GPIO_52 | S11 | S85 | GPIO_62 |
| GND | G24 | G24 | GND | GND | G6 | G6 | GND |
| GPIO_36_n | S44 | S118 | GPIO_12_n | GPIO_53_n | S10 | S84 | GPIO_63_n |
| GPIO_36 | S43 | S117 | GPIO_12 | GPIO_53 | S9 | S83 | GPIO_63 |
| GND | G23 | G23 | GND | GND | G5 | G5 | GND |
| GPIO_37_n | S42 | S116 | GPIO_13_n | GPIO_54_n | S8 | S82 | GPIO_64_n |
| GPIO_37 | S41 | S115 | GPIO_13 | GPIO_54 | S7 | S81 | GPIO_64 |
| GND | G22 | G22 | GND | GND | G4 | G4 | GND |
| | | | | GPIO_55_n | S6 | S80 | GPIO_65_n |
| | | | | GPIO_55 | S5 | S79 | GPIO_65 |
| | | | | GND | G3 | G3 | GND |
| | | | | GPIO_56_n | S4 | S78 | GPIO_66_n |
| | | | | GPIO_56 | S3 | S77 | GPIO_66 |
| | | | | GND | G2 | G2 | GND |
| | | | | GPIO_57_n | S2 | S76 | GPIO_67_n |
| | | | | GPIO_57 | S1 | S75 | GPIO_67 |
| | | | | GND | G1 | G1 | GND |



Примечание Контакты S72 и S146 соединены коротко.

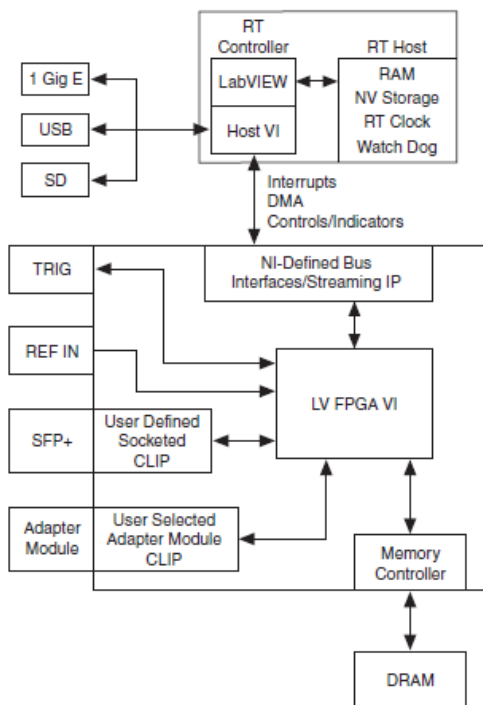
Основные особенности NI-7935R

NI-7935R обладает следующими основными возможностями. Обратитесь к документу *NI-79325R Specifications* для получения дополнительной информации.

- Частоты по линиям SFP+ 3,125 Гб/с, 6,25 Гб/с и 10,3125 Гб/с
- Kintex-7 XC7K325T FPGA
- 2 ГБ встроенной DRAM, доступной для FPGA
- 32-разрядный контроллер реального времени с ОС NI Linux
- Скорость передачи данных FPGA-Хост 200 МБ/с (в одном направлении), 150 МБ/с (в обоих направлениях)
- Процессор реального времени для передачи данных на внешний USB-накопитель со скоростью 60 МБ/с
- Процессор реального времени для передачи данных на внешний SD-накопитель со скоростью 12 МБ/с (чтение), 9,0 МБ/с (запись)

На рисунке ниже показаны ключевые основные архитектуры NI-7935R.

Рисунок 3-14. Основные компоненты архитектуры NI-7935R



RT Controller – контроллер реального времени, RT Host – хост реального времени, Interrupts – прерывания, DMA – прямой доступ к памяти, Controls/Indicators – элементы управления и индикаторы, NI-Defined Bus Interface/Streaming IP – определяемый NI IP шинных интерфейсов и потоковой передачи, Clocking Architecture – архитектура синхронизации, User Defined Socketed CLIP – определяемая пользователем подключаемая CLIP, Adapter Module – адаптер модуля, User Selected Adapter Module CLIP – выбираемый пользователем CLIP адаптера модуля, Memory Controller – контроллер памяти

Архитектура блока синхронизации

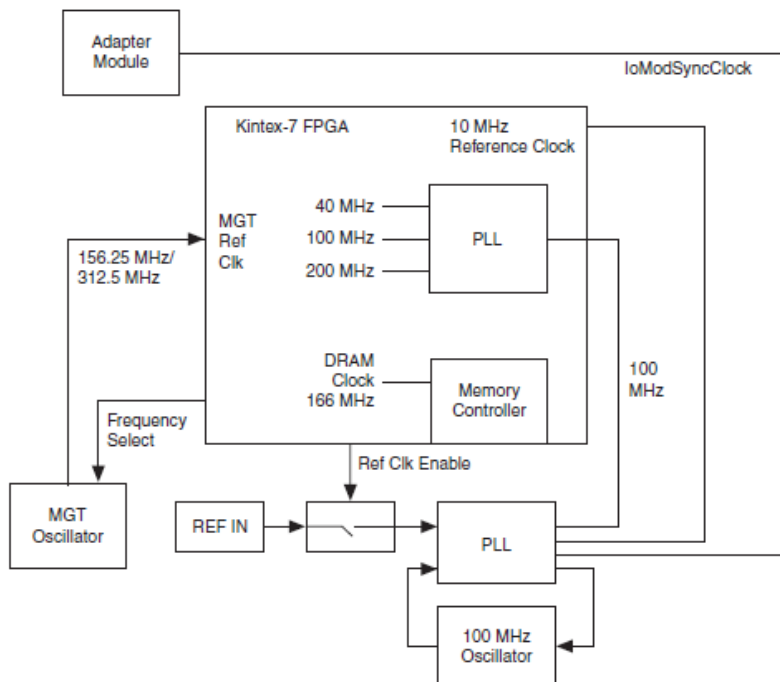
Устройство NI-7935R содержит специальный аппаратный блок для обеспечения возможностей гибкой синхронизации вашей системы FlexRIO. Обратитесь к главе 4, [Разработка в LabVIEW FPGA](#), для получения информации о конфигурировании тактовых сигналов в LabVIEW FPGA.

Архитектура блока синхронизации NI-7935R предоставляет следующие тактовые сигналы:

- Опорный сигнал 10 МГц
- Встроенный сигнал 40 МГц (используется по умолчанию)
- Тактовый сигнал 100 МГц
- Тактовый сигнал MGT 156,25 МГц/312,5 МГц
- Тактовый сигнал 200 МГц
- Тактовый сигнал DRAM

На рисунке ниже показана схема синхронизации NI-7935R.

Рисунок 3-15. Схема блока синхронизации NI-7935R



Adapter Module – модуль адаптера, 10 MHz Reference Clock – опорный сигнал 10 МГц, PLL – ФАПЧ, Memory Controller – контроллер памяти, 100 MHz – осциллятор 100 МГц, Frequency Select – выбор частоты, MGT Oscillator – осциллятор MGT

Программирование в LabVIEW FPGA

В этой главе содержится информация о разработке вашего проекта в LabVIEW FPGA на основе NI-793xR. LabVIEW FPGA обеспечивает поддержку целевых устройств FPGA, конфигурирование синхронизации и маршрутизации, а также взаимодействие с LabVIEW на хост-компьютере для выполнения полностью интегрированного процесса разработки.

Обратитесь к документу *NI LabVIEW High-Performance FPGA Developer's Guide* для получения информации о методах оптимизации производительности, задержки и ресурсов FPGA. Обратитесь к разделу [Сопутствующая документация](#) этого руководства для получения полного списка документации LabVIEW FPGA, которая может оказаться полезной при разработке вашего приложения.

Разработка в LabVIEW FPGA

За информацией об установке FlexRIO Support, установке NI-793xR и адаптера модуля обратитесь к руководству по началу работы для вашего устройства NI-793xR.

Добавление NI-793xR в проект LabVIEW

1. Запустите LabVIEW. Появится окно Getting Started.
2. Щелкните по пункту **Create Project** или откройте существующий проект.
3. Щелкните правой кнопкой по корню проекта в окне Project Explorer и выберите **New»Targets and Devices** из контекстного меню для отображения диалогового окна **Add Targets and Devices** .
 - a. Если оборудование подключено к хосту, выберите **Existing target or device**. Выберите ваше устройство в разделе **Real-Time FlexRIO** и щелкните по кнопке **OK**.
 - b. Если оборудование не подключено к хосту, выберите **New target or device**. Выберите ваше устройство в разделе **Real-Time FlexRIO** и щелкните по кнопке **OK**.

Добавление адаптера модуля к целевому устройству

Пропустите этот шаг, если вы не используете адаптер модуля.

1. Разверните целевое устройство FPGA, щелкнув по кнопке +, затем щелкните правой кнопкой мыши по пункту **IO Module** и выберите **Properties**.
2. Выберите категорию **General** и установите флажок **Enable IO Module**.

3. Выберите ваш адаптер модуля из списка **IO Modules**, выберите желаемый CLIP из окна **Component Level IP**.
4. Щелкните по кнопке **OK**.

Добавление элементов в целевое устройство NI-793xR

Вы можете добавить новые или существующие FPGA VI, элементы ввода-вывода FPGA, FPGA FIFO и тактовые генераторы FPGA в целевое устройство NI-793xR в окне **Project Explorer**. Вы можете также использовать папки для организации элементов в разделе целевого устройства FPGA в окне **Project Explorer**. Вы можете использовать папки для организации элементов, если собираетесь использовать несколько элементов ввода-вывода FPGA.

Выполните следующие шаги для добавления элемента в целевое устройство NI-793xR в окне **Project Explorer**.

1. Щелкните правой кнопкой мыши по целевому устройству FPGA и выберите **New** из контекстного меню для добавления нового элемента, например, VI, элемента ввода-вывода FPGA I/O или папки. Затем выберите элемент, который хотите добавить в проект. Элемент появится в окне **Project Explorer** в разделе целевого устройства FPGA.
2. Дважды щелкните по новому элементу в окне **Project Explorer** для его редактирования или конфигурирования. Если вы добавили базовый тактовый генератор, щелкните по нему правой кнопкой и выберите **Properties** из контекстного меню для его конфигурирования.



Примечание В окне **Project Explorer** вы можете также перетаскивать существующие элементы в раздел целевого устройства FPGA.

Добавление ввода-вывода целевого устройства NI-793xR

Выполните следующие шаги для добавления элементов ввода-вывода целевого устройства для NI-793xR и для доступа к сигналам любого созданного CLIP на блок-диаграмме.

1. Поместите узел ввода-вывода FPGA I/O на блок-диаграмму целевого устройства FPGA. Он находится в палитре **Functions»FPGA I/O»FPGA I/O Node**.
2. Щелкните по узлу правой кнопкой мыши и выберите **Add New FPGA I/O**.
3. В диалоговом окне **New FPGA I/O** выберите ресурсы в разделе **Available Resources** и добавьте их в раздел **New FPGA I/O** с помощью кнопки со стрелкой вправо.
4. Для удаления ресурса выберите ресурс в разделе **New FPGA I/O** и щелкните по кнопке со стрелкой влево.
5. Щелкните по кнопке **OK**.

Конфигурирование опорного сигнала 10 МГц



Примечание По умолчанию NI-793xR получает опорный сигнал 10 МГц от внутреннего генератора.

Чтобы задать внешний опорный тактовый сигнал 10 МГц с разъема REF IN лицевой панели, выполните следующие шаги.

1. После добавления в проект целевого устройства FPGA, разверните его и щелкните правой кнопкой мыши по пункту Reference Clock Source (Onboard 10 MHz Clock), затем выберите **Properties**.
2. Установите флажок **Use the external front panel clock input as the reference clock**.
3. Щелкните по кнопке **OK**.

За информацией об оптимизации вашего кода LabVIEW FPGA по производительности, задержке или используемых ресурсов обратитесь к руководству *High-Performance LabVIEW FPGA Developer's Guide*.

Автозагрузка двоичных файлов при включении

Вы можете загрузку NI-793xR на автоматическую загрузку двоичного файла при включении питания, или же использовать исполняемый файл, запускаемый при загрузке контроллера реального времени для загрузки определенного двоичного файла при включении питания устройства. Выполните следующие действия автозагрузки двоичного файла на NI-793xR.

1. В MAX разверните категорию **Remote Systems** и выберите ваше целевое устройство NI-793xR из списка целевых устройств реального времени.
2. Разверните категорию **Devices and Interfaces** и выберите целевое устройство NI-793xR FPGA.



Примечание Вы должны выбрать целевое устройство NI-793xR FPGA в разделе **Devices and Interfaces**. Выбор целевого устройства NI-793xR в разделе **Remote Systems** обновляет прошивку контроллера Real-Time, а не прошивку FPGA.

3. Перейдите к вашему двоичному файлу и выберите **Open**.
4. В окне **Update Firmware** выберите **Begin Update**. Процесс может занять несколько минут.
5. Перезагрузите контроллер.

Помимо использования MAX для загрузки двоичных файлов в FPGA, вы можете использовать API конфигурирования системы для программного задания двоичного файла, который автоматически загружается при включении питания.

Интерактивный обмен данными с лицевой панелью

Используйте интерактивный обмен данными с лицевой панелью для связи с FPGA VI, работающим на целевом устройстве FPGA, без дополнительного программирования. С помощью интерактивной связи с лицевой панелью хост-компьютер отображает окно лицевой панели FPGA VI, а целевое устройство FPGA выполняет код блок-диаграммы FPGA VI.

Окно лицевой панели LabVIEW обменивается данными с блок-диаграммой FPGA через элементы управления и индикации. Вы можете связаться с целевым устройством FPGA, подключенным непосредственно к хост-компьютеру или к удаленной системе по сети. В то время как блок-диаграмма целевого устройства FPGA продолжает работать, хост-компьютер обновляет значения в окне лицевой панели FPGA VI как можно чаще. На скорость выполнения FPGA VI не влияет связь с хост-компьютером. Однако данные на лицевой панели, которые вы видите во время интерактивной связи с лицевой панелью, не являются детерминированными.

Используйте интерактивную связь с лицевой панелью между целевым устройством FPGA и хост-компьютером для управления и тестирования VI, запущенных на целевом устройстве.

После загрузки и запуска FPGA VI, сохраняйте LabVIEW открытой на хост-компьютере для отображения и взаимодействия с окном лицевой панели FPGA VI.

Во время интерактивного обмена данными с лицевой панелью вы не можете использовать инструменты отладки LabVIEW, включая пробники, подсветку выполнения, точки останова и пошаговое выполнение. Для определения ошибок перед компиляцией, загрузкой и запуском FPGA VI на целевом устройстве FPGA, рассмотрите возможность использования тестового стенда.



Примечание Вы не можете использовать интерактивную связь с лицевой панелью, когда FPGA сконфигурирована на выполнение в симуляторе сторонних фирм. Вы можете использовать хост-VI хоста для выполнения FPGA VI или изменить режим выполнения целевого устройства FPGA, щелкнув по нему правой кнопкой мыши в окне Project Explorer и выбрав **Select Execution Mode**.

Использование библиотек NI общего назначения для проектирования измерительных приборов

NI предоставляет библиотеки для проектирования измерительных приборов, которые вы можете использовать при создании специализированных прикладных измерительных средств на основе NI-793xR. В следующих разделах представлен обзор библиотек для проектирования измерительных приборов, которые находятся в папке `<LVDir>\instr.lib_niInstr`. Для получения информации о VI в каждой библиотеке обратитесь к разделу Programming справки *FlexRIO Help*.

Использование библиотеки niInstr Instruction Framework

Используйте библиотеку для проектирования измерительных приборов Instruction Framework для создания коммуникационной сети в LabVIEW FPGA. Стандартные методы коммуникации, такие как использование элементов управления и индикаторов для передачи информации между хостом и FPGA, могут плохо масштабироваться для больших приложений. Используйте Instruction Framework для обеспечения масштабируемой инфраструктуры связи за счет увеличенной сложности, которая может потребоваться более крупным приложениям. Некоторые библиотеки для проектирования измерительных приборов требуют использования Instruction Framework.

Обзор библиотеки Streaming

Библиотека Streaming Instrument Design Library обеспечивает согласованный механизм обработки потоковой передачи данных как ограниченного объема, так и в непрерывном режиме. Она обеспечивает контроль потока и рукопожатие и содержит VI для хоста и FPGA.

Обзор библиотеки CLIP Adapters

Библиотека для проектирования CLIP адаптеров содержит оболочки AXI4-Lite и AXI4-Stream. Эти оболочки реализуют синхронизацию протокола и передачу сигналов в простые конечные точки для чтения или записи, которые представляют собой 4-проводное рукопожатие для диаграммы. Это рукопожатие позволяет упростить переход ко многим функциям FPGA без необходимости реализовать эту логику состояний самостоятельно.

Обзор библиотеки Data Trigger

Эта библиотека для проектирования измерительных приборов может использоваться для генерации сигнала запуска по входному сигналу с различными условиями. Режимы запуска, создаваемые этой библиотекой, обычно используются блоком сбора данных, чтобы определить, когда начать и остановить сбор данных.

Эта библиотека поддерживает различные типы запуска, типы данных и количество отсчетов за цикл.

Обзор библиотеки Basic Elements

Эта библиотека для проектирования измерительных приборов содержит несколько элементов низкого уровня, таких как детекторы контуров, защелки и FIFO. Использование этой библиотеки может быть полезно при разработке новой логики FPGA для вашего программно проектируемого измерительного прибора. Эти базовые элементы используются в других библиотеках проектирования измерительных приборов и в примерах проектов для вашего устройства.

Обзор библиотеки Memory

Используйте библиотеку Memory для проектирования измерительных приборов с унифицированным доступом к DRAM и BRAM устройства. Эта библиотека предоставляет базовый интерфейс чтения и записи для DRAM и BRAM.

Кроме базового интерфейса доступа к памяти, вы можете использовать эту библиотеку для сброса DRAM или BRAM. Когда операции считывания из памяти публикуются в память, существует некоторая задержка, прежде чем соответствующие данные будут извлечены из памяти и представлены на блок-диаграмму FPGA. Кроме того, сразу несколько операций чтения могут быть поставлены в очередь. Вы можете использовать библиотеку Memory для сброса этой очереди операций.

Эта библиотека также добавляет поддержку арбитража между портами чтения и записи DRAM.

Компиляция LabVIEW FPGA VI

Возможно, вам придется приобрести и установить дополнительные лицензии для компиляции проектов FPGA, включающих лицензированные ядра Xilinx или сторонних разработчиков IP. Обратитесь к документу *UG 973: Vivado Design Suite: Release Notes, Installation, and Licensing* на сайте [xilinx.com](http://www.xilinx.com) за информацией об управлении лицензиями.

Целевые устройства NI-793xR содержат большие микросхемы FPGA, для которых требуется 64-разрядный компилятор. Обратитесь к документу *FlexRIO Support Readme* для получения дополнительной информации о платформах, используемых для компиляции двоичных файлов.

Вы не можете добавлять дополнительные лицензии для удаленных компиляторов в облачном сервисе NI LabVIEW FPGA Compile Cloud Service. Вы не можете использовать облачный сервис NI LabVIEW FPGA Compile Cloud Service для компиляции проектов, где используются Xilinx или лицензированные IP-ядра других производителей.

Побочные эффекты при загрузке, сбросе и запуске в хост-интерфейсе LabVIEW FPGA

Когда FPGA NI-793xR загружается, выполняется последовательность самоконфигурирования по включению питания, которая настраивает различное встроенное оборудование. Это конфигурирование происходит в следующие моменты:

- После загрузки двоичного файла при включении питания.
- В первый раз при нажатии кнопки **Run** после загрузки нового двоичного файла, если двоичный файл не настроен на запуск по загрузке (**Run on Load**).
- При вызове **Run** после сброса (**Reset**).

Для получения дополнительной информации о **Run**, **Reset**, и других вызовах метода, обратитесь к ***справке** LabVIEW FPGA Help*.



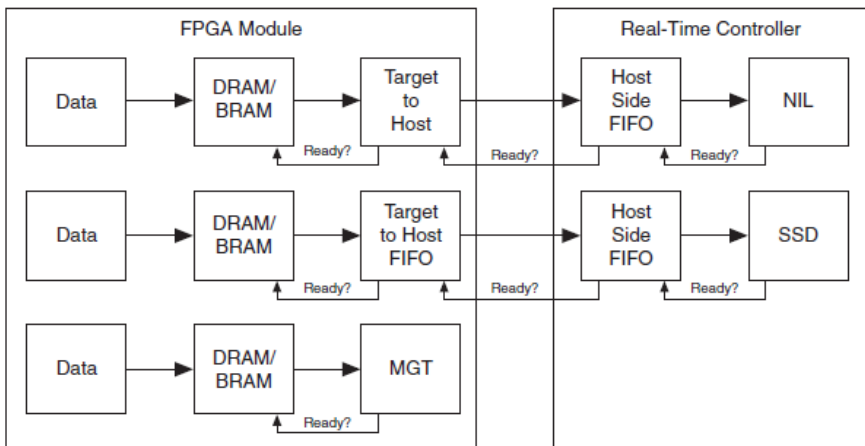
Примечание. При выполнении самоконфигурирования конфигурация блока синхронизации оказывается в неопределенном состоянии. При этом нельзя полагаться на стабильность синхронизации от аппаратных средств синхронизации и маршрутизации NI-793xR.

Потоковая передача данных

Управление потоком

Любое приложение, которое регистрирует информацию, должно обеспечивать жесткое управление потоком, поскольку адаптер модуля FlexRIO может генерировать гораздо больше данных, чем могут обрабатывать узлы приложения. FIFO FPGA-хост использует сигналы Ready for Input (готов ко вводу) для связи с DRAM, когда готов принять еще данные. На рисунке ниже показано, как можно реализовать управление потоком в целевом устройстве NI-793xR.

Рисунок 4-1. Управление потоком FIFO хоста - FIFO to FPGA



Для получения информации о скоростях передачи данных обратитесь к следующим разделам:

- [Основные особенности NI-7931R](#)
- [Основные особенности NI-7932R](#)
- [Основные особенности NI-7935R](#)

Потоковая передача DMA

Устройства NI-793xR поддерживают потоковую передачу от хоста к целевому устройству и от целевого устройства к хосту через каналы прямого доступа к памяти (DMA), соединяющие хост с целевым устройством. Используйте потоковую передачу DMA для обеспечения максимальной пропускной способности и потоковой передачи данных из вашего хост-приложения на целевое устройство на высоких скоростях.

NI-793xR предоставляет до 16 каналов DMA, доступ к которым может получить хост. Эти каналы могут использоваться различными способами для удовлетворения требованиям вашего приложения. Используйте ли вы 1 канал DMA или 16, ограничением является общая пропускная способность устройства.

Максимальная ширина канала DMA составляет 256 бит. Чтобы использовать полную ширину канала DMA для достижения максимальной пропускной способности, создайте конструкцию данных, которая соответствует 256-битной ширине данных канала DMA. Вы можете создать кластер из 4 U64 или массив из 4 U64. Для использования массива блок FIFO должен быть сконфигурирован для возврата нескольких элементов за одну операцию чтения/записи. Вы можете также записать до 1024 бит за раз из LabVIEW FPGA, а соединение Ready to Input регулирует соединение с FIFO, чтобы предотвратить переполнение.

Теоретически пропускная способность DMA максимизирована и наиболее согласована, когда буфер DMA FIFO имеет размер как можно больше, чтобы абсорбировать флуктуации, связанные с готовностью памяти хоста. Однако большой размер FIFO потребляет ресурсы блоков RAM в FPGA и увеличивает требования к временным характеристикам FIFO. NI рекомендует сделать FIFO настолько большим, насколько возможна успешная компиляция, для поддержания пропускной способности по шине PCIe в память хоста и из нее. Вы можете изменить размер FIFO, сконфигурировав запрошиваемое количество элементов (Requested Number of Elements) FIFO в свойствах проекта. Вы можете оценить свойства DMA с помощью средств тестирования (benchmarking) и использовать VI библиотеки Streaming Design Library для контроля состояния FIFO.

Для получения более подробной информации об использовании DMA, наилучших методов работы с DMA и способах принятия проектных решений при реализации DMA в приложении, обратитесь к разделу *Transferring Data Using Direct Memory Access* справки *LabVIEW FPGA Help*.

Общая пропускная способность зависит от скорости цикла SCTL в FPGA, который считывает или записывает данные через каналы DMA. Пропускная способность данных рассчитывается по следующему уравнению:

$$(\text{Разрядность данных} \times \text{Число отсчетов за цикл}) \times \text{Число DMA FIFO} \times \text{Тактовая частота SCTL} = \text{Пропускная способность данных}$$



Примечание Полная пропускная способность данных не может превышать предельное значение, указанное в технических характеристиках устройства. Обратитесь к техническим характеристикам вашего устройства, чтобы узнать предельную пропускную способность.



Примечание Количество элементов массива, подаваемых хостом в DMA FIFO, может ограничить максимальную пропускную способность вашего приложения. Используйте большие подмножества данных и задайте достаточно большую глубину FIFO для поддержания высокой пропускной способности.

Симуляция поведения FPGA

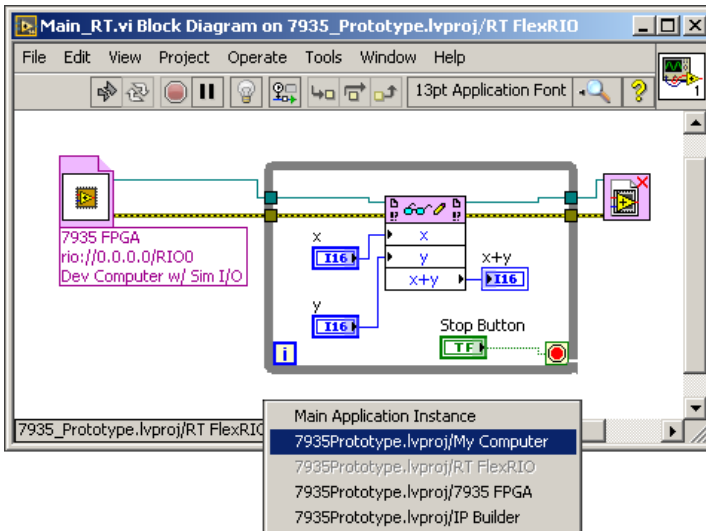
Вы можете симулировать FPGA VI, добавленный на целевое устройство NI-793xR; однако вы не можете открыть ссылку на симулируемый FPGA VI из целевого устройства NI-793xR. Вместо этого вы должны открыть ссылку на симулируемый FPGA VI, изменив вариант приложения на My Computer. Вы можете вариант экземпляр приложения для VI с помощью контекстного меню application instance.



Примечание Если вы попытаетесь открыть ссылку на симулируемое целевое устройство FPGA из целевого устройства NI-793xR, в вашем VI появится сломанная стрелка и сообщение об ошибке.

Выполните следующие шаги для изменения варианта приложения для симулируемого FPGA VI.

1. Перейдите в нижний левый угол окна лицевой панели или блок-диаграммы. В контекстном меню выбора варианта приложения отображается текущий вариант приложения VI.
2. Щелкните правой кнопкой мыши в контекстном меню и выберите вариант My Computer для запуска VI, как показано на рисунке ниже.



Примечание. Выбор нового варианта приложения повторно открывает VI. VI также остается открытым в исходном варианте приложения.

Вы можете также использовать свойство `Application:Default:Application` для программного возврата ссылки на приложение. Используйте свойство `Application`, чтобы программно открыть вариант приложения целевого устройства.

Программирование высокоскоростных последовательных портов

В этой главе представлена информация о программировании мультигигабитных приемопередатчиков (MGT) для NI-7932R и NI-7935R, включая информацию о создании подключаемого CLIP и использовании LabVIEW.

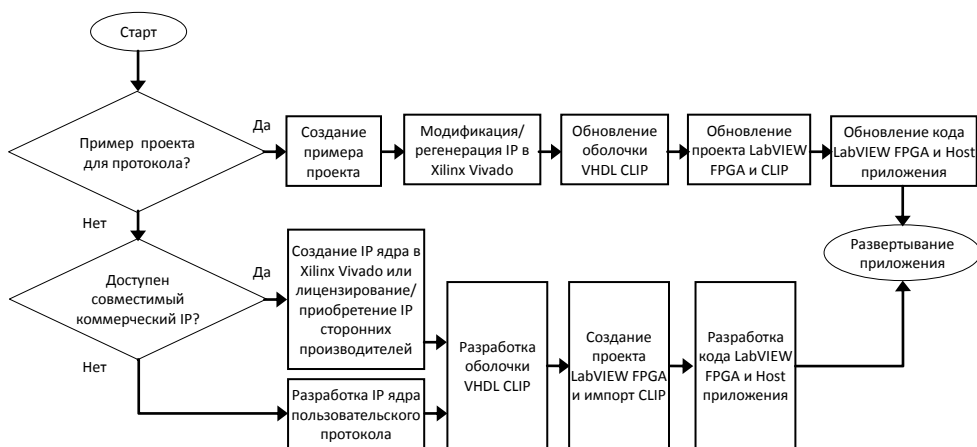


Примечание NI-7931R не имеет MGT или высокоскоростных последовательных портов.

Процесс разработки

Обратитесь к следующей диаграмме, на которой показан процесс разработки NI-793xR для реализации высокоскоростного последовательного протокола.

Рисунок 5-1. Процесс разработки NI-793xR



Если кода примера проекта достаточно для вашего приложения, вам не придется модифицировать IP-ядро, обновлять оболочку VHDL CLIP или обновлять CLIP.

Разработка подключаемого CLIP для MGT

В этом разделе приводятся шаги для создания подключаемого (Socketed) CLIP, используемого вашим приложением. Подключаемый CLIP обеспечивает следующую функциональность:

- Позволяет вставлять HDL IP в целевое устройство FPGA, предоставляя возможность коду VHDL непосредственно взаимодействовать с FPGA VI.
- Позволяет CLIP непосредственно взаимодействовать со схемами, внешними по отношению к FPGA.
- Позволяет вашему IP непосредственно взаимодействовать с FPGA VI и интерфейсным разъемом внешнего адаптера модуля.

Архитектура подключаемого CLIP

На рисунке 5-2 показана архитектура подключаемого CLIP NI-7932R. На рисунке 5-3 - архитектура подключаемого CLIP NI-7935R.

Рисунок 5-2. Архитектура подключаемого CLIP NI-7932R

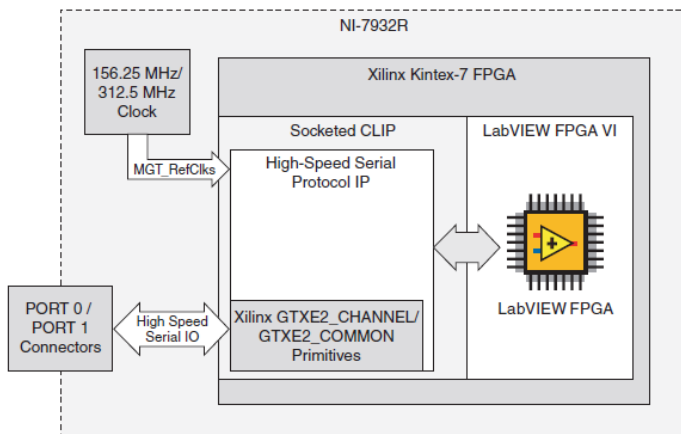
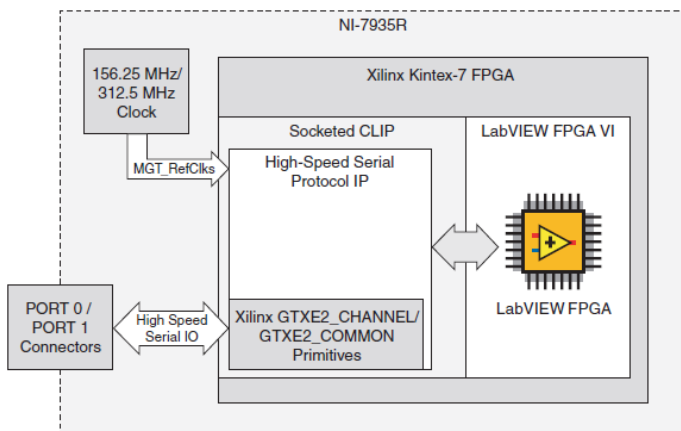


Рисунок 5-3. Архитектура подключаемого CLIP NI-7935R

Доступ к инструментальным средствам Xilinx Vivado

Для запуска Xilinx Vivado выполните следующие шаги:

1. Если вы установили Xilinx Vivado отдельно от LabVIEW FPGA, используйте эту версию. В противном случае LabVIEW FPGA устанавливает LabVIEW FPGA Xilinx Tools.



Примечание Если пакет Vivado установлен LabVIEW FPGA, он не отображается в разделе **Программы и компоненты**.

2. Откройте папку Xilinx Vivado Tool, перейдя в каталог `C:\NIFPGA\programs\VivadoXXXX_Y`, где XXXX и Y - версии пакета Xilinx Vivado. Например, `<VIVADO_DIR> version 2013.4` находится в папке `C:\NIFPGA\programs\Vivado2013_4`.
3. Запустите командный файл Xilinx Vivado: `<XilinxVivadoDir>\bin\vivado.bat`. Вы можете получить следующее предупреждение при запуске Vivado.
Your XILINX_EDK environment variable is undefined. You may not be able to run some features properly. Please set up your XILINX_EDK environment to get full functionality.
Это ожидаемое сообщение об ошибке. Вы можете проигнорировать его, если не используете Xilinx Embedded Development Kit (EDK). EDK не требуется для разработки на основе NI-793xR.
4. Щелкните по пункту **New Project** и следуйте инструкциям мастера.

Генерация IP-ядра из каталога IP Xilinx Vivado

Возможно, вам придется приобрести и установить дополнительные лицензии для генерации некоторых IP-ядер протоколов от Xilinx или сторонних производителей IP. *Обратитесь к документу UG 973: Vivado Design Suite: Release Notes, Installation, and Licensing* на сайте xilinx.com за информацией об управлении лицензиями.

Выполните следующие действия для создания проекта Xilinx Vivado:

1. Обратитесь к разделу *Документация Xilinx* этого руководства для получения информации о лицензировании перед созданием проекта Xilinx Vivado.
2. Откройте каталог IP Xilinx Vivado.
 - a. Выберите **Manage IP** на стартовом экране Vivado.
 - b. Найдите подходящее IP-ядро для запуска диалога конфигурирования. Например, IP-ядро Aurora 64B66B расположено в разделе **Communication and Networking»Serial Interfaces»Aurora 64B66B**.
3. Выберите настройки IP-ядра. NI рекомендует по возможности выбирать AXI4-Stream для высокоскоростных потоков данных.



Примечание NI не рекомендует выбирать AXI4-Lite для DRP доступа в IP-ядрах Xilinx, так как совместимость с адаптерами LabVIEW FPGA AXI4-Lite не гарантируется. Обратитесь к примерам проектов Aurora, в которых используются адаптеры LabVIEW FPGA AXI4-Lite для подключения к DRP в CLIP.

Изменение логики IP-ядра сторонних производителей

Если вы модифицируете IP-ядро стороннего производителя для высокоскоростного последовательного протокола, обратитесь к руководству *Xilinx Product Guide* для используемого вами IP, прежде чем начнете вносить какие-то изменения.

Придерживайтесь следующих рекомендаций при изменении логики IP-ядра сторонних производителей:

- Убедитесь, что все тактовые сигналы подключены.
- Убедитесь, что сигналы управления AXI4-Lite правильно подключены к сигналам Xilinx DRP в примитивах GTXE2_CHANNEL и GTXE2_COMMON.
- Выберите **Include Shared Logic in example design** в мастере IP для доступа к различным ресурсам за пределами логики IP-ядра, например, к входным буферам MGT_RefClk и оболочкам QPLL.

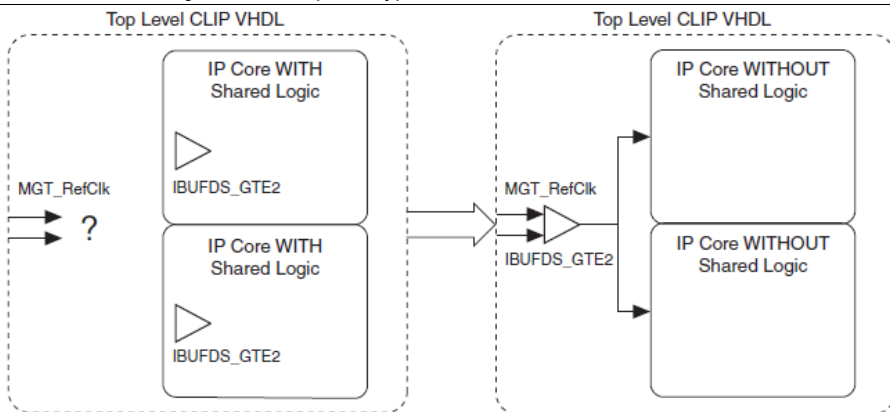
В следующих примерах объясняются различия использования ресурса IBUFDS_GTE2 с и без опции **Include Shared Logic in example design**.

- Вариант 1: Включает примитив входного буфера IBUFDS_GTE2 внутри ядра путем выбора **Include Shared Logic in core** в мастере IP. Этот вариант показан слева на рисунке 5-4.
- Вариант 2: Создайте один входной буфер IBUFDS_GTE2 на верхнем уровне вашего CLIP VHDL, соедините его выходной сигнал с обоими ядрами и выберите **Include Shared Logic in example design** в мастере IP. Этот вариант показан справа на рисунке 5-4



Примечание Не изменяйте IP-ядро, если не понимаете назначение необходимых опорных тактовых сигналов и ресурсов синхронизации.

На рисунке ниже показана различие между верхним уровнем CLIP VHDL с общей логикой в ядре (слева) и без общей логики (справа).

Рисунок 5-4. Верхний уровень CLIP VHDL и общая логика

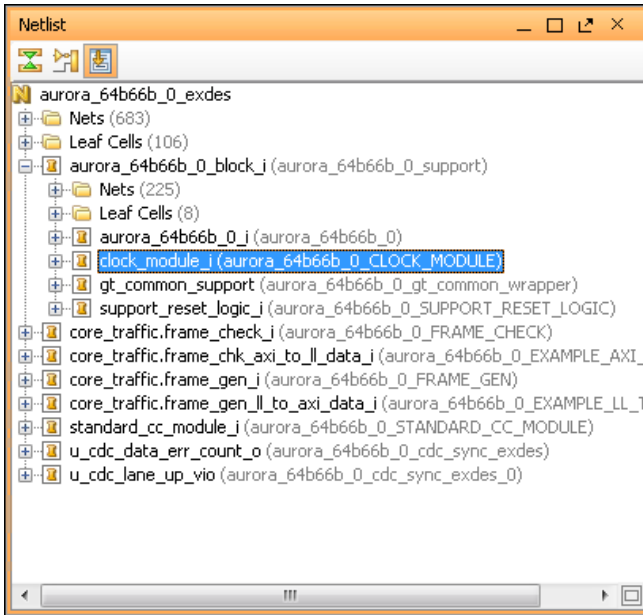
Top Level CLIP VHDL - верхний уровень CLIP VHDL, IP Core With Shared Logic – IP-ядро со встроенной логикой, IP Core Without Shared Logic – IP-ядро БЕЗ встроенной логики

Создание списка соединений из IP-ядра

LabVIEW FPGA не поддерживает исходные файлы Verilog в IP компонентного уровня. Тем не менее, вы можете создавать списки соединений в формате EDIF из любых синтезированных компонентов Verilog в используемом вами IP и реализовывать список связей в оболочке VHDL. Следующие шаги являются примером того, как сгенерировать список соединений в формате EDIF из IP-ядра.

1. Откройте пример проекта для вашего IP-ядра в Vivado.
2. Задайте соответствующий исходный файл верхнего уровня, для которого планируете создать список соединений.
3. Запустить синтез.
4. Откройте синтезированный проект, используя один из следующих способов.
 - Выберите **Open Synthesized Design** во всплывающем окне **Synthesis Completed**.
 - Выберите закладку **Design Run**, а затем выберите **Open Synthesized Design** на панели слева.
5. В консоли Tcl Console, введите `write_edif <name of entity>.edif` для создания списка соединений, который используется при импорте IP-ядра в ваш проект LabVIEW. Расположение списка соединений указано в окне консоли Tcl.

6. На рисунке ниже показаны ячейки, связанные с проектом в окне **Netlist**.



7. Чтобы создать файл .edf для связанной ячейки, введите следующую команду:

```
write_edif -cell <name of cell> <file name>.edf
```

Например, чтобы создать .edf для clock_module_i, введите команду:

```
write_edif -cell clock_module_i aurora_64b66b_clock_module.edf
```



Примечание Возможно, вам потребуется задать более длинное имя пути в зависимости от расположения ячейки в вашем проекте. Например, clock_module_i может располагаться в aurora_64b66b_0_block_i/clock_module_i.

8. Скопируйте список соединений в папку LabVIEW FPGA CLIP.
9. Включите список соединений в список файлов синтеза про запуске мастера CLIP.

Разработка оболочки VHDL вокруг IP-ядра протокола

Оболочка VHDL, как правило, необходима для адаптации сигналов протокола к семантике потока данных, используемой на блок-диаграмме LabVIEW FPGA. NI рекомендует придерживаться следующих рекомендаций при написании оболочки VHDL вокруг IP-ядра протокола:

- Сохраняйте интерфейс между CLIP и блок-диаграммой LabVIEW FPGA как можно более простым.



Примечание LabVIEW хранит значения в формате с обратным порядком байтов (big-endian), а ваше IP-ядро может принимать только прямой формат (little-endian). NI рекомендует выполнять любые преобразования в CLIP и не загружать преобразованием форматов блок-диаграмму LabVIEW для упрощения использования.

- Не передавайте асинхронные сигналы на блок-диаграмму LabVIEW FPGA. Зарегистрируйте сигналы в области тактирования в логике VHDL, прежде чем передавать их на блок-диаграмму LabVIEW FPGA.
- Используйте интерфейсы AXI4-Stream и AXI4-Lite для потоковой передачи данных и доступа к регистрам.
- NI предоставляет оболочки AXI4-Stream и AXI4-Lite для использования на блок-диаграмме LabVIEW FPGA. Обратитесь к разделу [Генерация IP-ядра из каталога Xilinx Vivado](#) данного документа для получения дополнительной информации о логике IP-ядра.
- Если вы определяете конечную точку AXI4-Lite, используйте Xilinx AXI4 interconnect IP для показа только одной конечной точки AXI4-Lite на блок-диаграмме LabVIEW FPGA.
- Документируйте частоту тактовых сигналов, поступающих из CLIP. Рассмотрите возможность поддержки удаления цепи.
- Реализуйте конечный автомат, который позволяет сбрасывать асинхронно. Если вы объявляете входной сигнал в качестве сигнала сброса в мастере CLIP, тогда этот сигнал подтверждается, когда LabVIEW FPGA VI не запущен.
- Реализуйте конечный автомат, который сбрасывает ядра протокола, когда модуль **PORT#** отсутствует, если ваш конечный автомат еще не учитывает это.
- Подключите различные тактовые сигналы от вашего CLIP к DebugClks std_logic_vector, чтобы использовать утилиты отладки счетчика частоты на стороне хоста.
- Предоставьте ограничения по времени в XDC для вашего CLIP. Включите ограничения по времени для тактовых сигналов в вашем CLIP, но не включайте ограничения на контакты/местоположение для линий передатчиков MGT и RefClks. Обратитесь к документу *UG 903: Vivado Design Suite User Guide: Using Constraints* на сайте xilinx.com для получения дополнительной информации об ограничениях по времени в XDC для вашего CLIP.
- Используйте ограничения тактового сигнала TXOUTCLK и/или RXOUTCLK для высокоскоростного последовательного CLIP, если ваш протокол использует его напрямую.
 - Ниже приведен пример синтаксиса для ограничения: `create_clock -period <период в нс> [get_pins %ClipInstancePath%/<путь к вашему контакту тактового сигнала относительно верхнего уровня CLIP VHDL>]`.
- Если вы генерируете асинхронный сброс в вашем CLIP VHDL, создайте ложное ограничение пути из регистра, который генерирует сигнал сброса. Включайте атрибут «не трогать» (don't touch) для любых ложных ограничений пути.
 - Ниже приведен пример синтаксиса атрибута «Не трогать»: `attribute dont_touch : string; attribute dont_touch of <имя сигнала> : signal is "true";`
 - Ниже приведен пример синтаксиса для ложного ограничения пути: `set_false_path -from [get_cells %ClipInstancePath%/<путь к вашему регистру>]`
- При написании ограничений вам может потребоваться сослаться на имя экземпляра CLIP или на абсолютный путь к экземпляру CLIP в иерархии VHDL. Обратитесь к разделу [Ограничения и иерархия](#) для получения более подробной информации об использовании поиска и замены ключевых слов `%ClipInstanceName%` и `%ClipInstancePath%`.

Ограничения и иерархия

Вы можете включить в компиляцию специфичные для CLIP пользовательские ограничения, используя файл ограничений, зависящий от вашего целевого устройства FPGA. Вы можете использовать этот механизм для всех ограничений, кроме ограничений размещения контактов. Например, для подключаемого CLIP вы можете получить доступ к тактовым сигналам непосредственно с контакта глобального входного тактового сигнала через глобальный буфер тактового сигнала. Вы должны ограничить период этого тактового сигнала.

Для ограничений на конкретные компоненты в CLIP вам может потребоваться задать местоположение компонента в общей иерархии VHDL. В таких случаях обдумайте предварительные ограничения с помощью следующих макросов. Предварительные ограничения позволяют применять ограничения независимо от расположения компонентов в иерархии VHDL. Если вы хотите использовать этот код примера, скопируйте его в текстовый файл и сохраните как `DemoClipAdder.xdc`. Добавьте этот файл ограничений вместе с файлом VHD в качестве файлов синтеза в мастере конфигурирования CLIP для реализации этого ограничения.

Xilinx Vivado

```
create_clock -period 10.000 -name %ClipInstanceName%Clk -waveform
{0.000 5.000} -add [get_pins %ClipInstancePath%/clk]

set_clock_latency -clock [get_clocks {%ClipInstanceName%CLK}] 10.0
[get_pins {%ClipInstancePath%/cAddOut[0]}]
```

Для многократного использования CLIP, каждый экземпляр CLIP должен иметь уникальное имя, соответствующее соглашениям об именах VHDL. Когда вы включаете эти макросы, вам не нужно включать отдельный файл ограничений для каждого экземпляра, потому что модуль FPGA создает уникальное имя экземпляра.

Если сигнал CLIP не используется, инструменты компиляции Xilinx могут удалить сигнал из битового потока. В таких случаях вы можете получить ошибку NGBuild при компиляции. Для устранения этой проблемы удалите ограничение или используйте сигнал в FPGA VI.



Внимание Чтобы гарантировать целостность данных и жесткую синхронизацию, убедитесь, что узлы ввода-вывода из CLIP записываются в той же области тактирования, в которой считываются на блок-диаграмме LabVIEW, и что узлы ввода-вывода в CLIP считываются в той же области тактирования, в который записываются на блок-диаграмме LabVIEW. В редких случаях, когда требуются пересекающиеся области тактирования, обратитесь к документу Базы Знаний 60B8E8FM на сайте ni.com/kb за получением дополнительной информации о том, как записывать временные ограничения между CLIP и блок-диаграммой LabVIEW, чтобы задать исключения синхронизации на этих путях и добиться согласования по времени. Обратите внимание, что при использовании пересекающиеся области тактирования все равно данные могут искажаться.

Документирование вашего IP

NI рекомендует документировать поведение вашего CLIP. Обратитесь к следующим рекомендациям для получения информации о том, как документировать CLIP и как это может повлиять на остальную часть вашего проекта:

- Документируйте порядок следования байтов в вашем CLIP, чтобы правильно организовать интерфейс CLIP с диаграммой LabVIEW FPGA. Обратитесь к разделу [Разработка оболочки VHDL вокруг IP-ядра протокола](#) этой главы для получения дополнительной информации о том, как порядок следования байтов в CLIP влияет на процесс проектирования.
- Четко определите, какая часть вашего интерфейса обращена к диаграмме, а какая - к лицевой панели.
- Документируйте сигналы разъема путем описания, какие сигналы используются, какие сигналы не используются, и как именно используются сигналы. Использование сигнала может влиять на то, какие порты активны в вашем IP, и на порядок подключения и отключения кабелей.
- Документируйте, как вы интегрируете сигналы AXI4-Lite с типами данных LabVIEW. Некоторые сигналы AXI4-Lite не просто интегрируются с типами данных LabVIEW; например, адреса портов могут иметь разрядность 11, но LabVIEW предоставляет адреса только разрядностью 8, 16, 32 и 64. Кроме того, адаптеры AXI4-Lite и AXI4-Stream сконфигурированы для ввода-вывода данных с фиксированной точкой.
- Документируйте, как используются тактовые сигналы и как они маршрутизируются в вашем CLIP для использования в IP. Вы должны маршрутизировать тактовые сигналы на блок-диаграмме для использования с циклом SCTL в LabVIEW FPGA.
- Документируйте карту адресов отдельных компонентов в любом интерфейсе AXI4-Lite.

Добавление подключаемого MGT CLIP в проект LabVIEW

После конфигурирования подключаемого MGT CLIP в VHDL, вы можете использовать LabVIEW FPGA для продолжения процесса разработки. LabVIEW FPGA обеспечивает полностью интегрированный процесс разработки, поддерживая целевые устройства FPGA, конфигурирование синхронизации и маршрутизации и взаимодействие с LabVIEW на хост-компьютере.

Обратитесь к разделу [Сопутствующая документация](#) этого руководства для получения полного списка документации LabVIEW FPGA, которая может оказаться полезной при разработке вашего приложения.

Конфигурирование подключаемого CLIP MGT на целевых устройствах NI-793xR LabVIEW FPGA

Выполните следующие шаги для конфигурирования подключаемого CLIP MGT в вашем проекте NI-793xR LabVIEW:

1. Создайте новый проект, выбрав **File»New»Project**, или откройте существующий, выбрав **File»Open**.
2. Щелкните правой кнопкой мыши по проекту в окне **Project Explorer** и выберите **New»Targets and Devices** из контекстного меню для отображения диалогового окна **Add Targets and Devices**.
3. Выберите **New target or device** и выберите ваше устройство.

4. Щелкните правой кнопкой мыши по устройству в окне **Project Explorer** и выберите **New»FPGA Target** для добавления целевого устройства FPGA к контроллеру FlexRIO.
5. Добавьте IP протокола, используя ваш CLIP. Щелкните правой кнопкой мыши по имени устройства и выберите **Properties»Component-Level IP**.



Примечание Если вы используете пример CLIP или заранее сделанный CLIP, вы можете импортировать CLIP из диалогового окна или можете щелкнуть иконку **Create File** для создания нового CLIP с помощью мастера CLIP.



Примечание Вы можете изменить CLIP, выбрав имя ранее созданного CLIP и щелкнув по пункту **Modify File**.

6. Если вы создаете новый CLIP, следуйте инструкциям мастера CLIP для создания интерфейса между вашим CLIP и LabVIEW FPGA. Вам не нужно использовать мастер CLIP, если вы повторно используете существующий CLIP. Обратитесь к справке *FPGA Module Help* для получения дополнительной информации о мастере CLIP. Мастер CLIP проведет вас через следующие задачи:
 - Добавление источника VHDL, ограничений XDC и списков соединений EDF/EDN/EDIF
 - Конфигурирование типов устройств
 - Конфигурирование универсальных шаблонов
 - Проверка синтаксиса
 - Указание, как использовать сигналы в вашем CLIP



Примечание На шаге 2 мастера CLIP выберите подходящей тип (Component Level IP Type) для вашего целевого устройства.



Примечание После создания CLIP и добавления файлов не нужно модифицировать CLIP для любых изменений, при которых не изменяются исходные пути. Если вы измените исходные пути или исходные файлы CLIP, вы должны использовать мастер CLIP.

7. Создание экземпляра CLIP в MGT Socket. При добавлении в проект нового целевого устройства LabVIEW автоматически создает в проекте совместимый MGT Socket. Щелкните по нему правой кнопкой мыши, выберите **Properties**, после чего выберите **General** в разделе **Category**.
8. Выберите декларацию из выпадающего меню **Socketed Component Level IP Declaration**.
9. Щелкните по кнопке **OK**. Определяемые пользователем сигналы вашего CLIP появятся в элементе сокет окна **Project Explorer**.
10. Щелкните правой кнопкой мыши по MGT Socket и выберите **Clocking Selections** в разделе **Category** для конфигурирования свойств синхронизации и конфигурации ввода-вывода вашего устройства.



Примечание Информация о синхронизации и маршрутизации статична во время компиляции и не может быть переконфигурирована во время выполнения.



Примечание Устройства NI-793xR поддерживают пустые сокеты.

11. Выберите тактовый сигнал, необходимый для вашего CLIP, и в явном виде назначьте для него соединение. Вы должны добавить тактовый сигнал в ваш проект LabVIEW, чтобы выбрать его из окна **Connection**. Если для вашего CLIP не требуется тактовых

сигналов, оставьте эту страницу пустой.

12. Щелкните по кнопке **ОК**.

Обратитесь к разделу 3, *Архитектура аппаратных средств*, для получения дополнительной информации о возможностях тактовых сигналов NI-793xR.

Использование существующего VHDL IP внутри CLIP или IPIN

Для использования существующего IP в вашем проекте обратитесь к документу *Importing External IP Into LabVIEW FPGA* на сайте ni.com.

CLIP не поддерживает пользовательские библиотеки в VHDL. Если ваш VHDL использует пользовательские библиотеки, используйте один из следующих способов обхода:

- Создайте список соединений из VHDL и интегрируйте его с помощью CLIP.
- Создайте ссылку на справочную библиотеку по умолчанию вместо пользовательской библиотеки.

Обратитесь к разделу *Creating or Acquiring IP (FPGA Module)* справки *LabVIEW FPGA Module Help* для получения дополнительной информации о существующих VHDL IP в CLIP или IPIN.

Улучшение производительности в больших проектах путем удаления цепей разрешения

По умолчанию LabVIEW добавляет код в FPGA код для обеспечения потока данных. Этот дополнительный код называется цепью разрешения. В больших приложениях цепь разрешения может создавать перегруженность маршрутизации и ограничивать производительность. В определенных условиях цепь разрешения можно удалить.

Обратитесь к разделу *Improving Timing Performance in Large Designs (FPGA Module)* справки *LabVIEW FPGA Module Help* для получения дополнительной информации об удалении цепей разрешения и когда это следует делать.

Программирование целевого устройства реального времени

В этой главе содержится информация о программировании целевого устройства LabVIEW Real-Time. Для получения информации о разработке приложений LabVIEW Real-Time обратитесь к справке *LabVIEW Real-Time Module Help**

Рекомендуемые методы

Для получения информации о рекомендуемых методах программирования в LabVIEW Real-Time обратитесь к разделу Real-Time Module Best Practices справки *Real-Time Module Help*. Эта страница содержит обзор эффективных методов проектирования, разработки и развертывания приложений LabVIEW Real-Time.

Ключевые понятия

Следующие основные понятия предоставляют основную информацию, необходимую для начала использования целевого устройства Real-Time FlexRIO.

- **Real-time (RT) application (Приложение реального времени (RT))** - приложение, разработанное для стабильного выполнения и прецизионного таймирования.
- **Determinism (Детерминизм)** - характеристика приложения реального времени, которая описывает, насколько систематически приложение реагирует на внешние события или выполняет операции в течение заданного интервала времени. Максимизация детерминизма часто является приоритетом при разработке приложений реального времени.
- **Jitter (Джиттер)** - разница во времени между самым быстрым и самым медленным выполнениями приложения. Минимизация джиттера часто является приоритетом при разработке приложений реального времени.
- **Real-time operating system (RTOS) (Операционная система реального времени (RTOS))** - операционная система, предназначенная для запуска приложений с повышенным детерминизмом и уменьшенным джиттером. Операционная система общего назначения, такая как Microsoft Windows, завершает операции в непредсказуемые моменты времени. Напротив, каждая операция, выполняемая RTOS, завершается за известное максимальное время. Разрабатывая приложения для RTOS, вы можете гарантировать, что оно будет выполняться детерминировано.
- **RT target (Целевое устройство RT)** - контроллер, например NI-793xR, на котором установлена RTOS.
- **Stand-alone RT application (Автономное приложение RT)** - приложение RT, которое запускается автоматически при включении питания целевого устройства реального времени.

- **Device driver software (Программный драйвер устройства)** - программный компонент, который преобразует команды LabVIEW в формат, подходящий для конкретного целевого устройства RT и для любых установленных устройств ввода-вывода. Вы устанавливаете соответствующий устройству программный драйвер, являющийся частью конфигурации вашего целевого устройства.
- **Host computer (Хост-компьютер)** - компьютер, который используется для создания приложения реального времени. Вы развертываете приложение реального времени с хост-компьютера на целевое устройство RT. Вы можете также обмениваться данными с целевым устройством с помощью пользовательского интерфейса, выполняющегося на хост-компьютере.
- **NI Measurement & Automation Explorer (MAX)** - программное обеспечение, используемое для конфигурирования целевых устройств RT. После инсталляции модуля Real-Time на хост-компьютер вы можете использовать MAX для инсталляции модуля Real-Time, RTOS и драйверов устройств на целевое устройство RT.
- **Subnet (Подсеть)** - часть сети, в которой устройства могут обмениваться данными с помощью протокола TCP/IP. MAX автоматически определяет целевые устройства RT, подключенные к той же подсети, что и хост-компьютер.
- **Shared variable (Переменная общего доступа)** - область в памяти, откуда/куда вы можете считывать/записывать данные. Вы можете считывать и записывать из/в переменные общего доступа на одном компьютере, используя однопроцессные переменные общего доступа, или на нескольких компьютерах, используя сетевые переменные общего доступа. Используйте переменные общего доступа для публикации только последних значений в наборе данных для одного или нескольких компьютеров.
- **RT FIFO (Буфер FIFO реального времени)** - работает как очередь фиксированного размера, где первое значение, которое вы записываете в очередь FIFO - это первое значение, которое вы сможете прочитать из очереди. RT FIFO гарантирует детерминированное поведение, накладывая ограничение размера на данные, которыми вы обмениваетесь, а также путем предварительного выделения памяти для данных. Используйте функции RT FIFO для обмена данными между VI или параллельными циклами, запущенными на целевом устройстве RT.
- **Network stream (Сетевой поток)** - не допускающий потерь, однонаправленный, один-к-одному канал связи, состоящий из конечной точки источника и конечной точки приемника. Используйте сетевые потоки для передачи данных по сети без потерь.

Установка и конфигурирование NI-793xR

Обратитесь к руководству по началу работы для вашего NI-793xR за инструкциями по выполнению следующих задач перед началом разработки приложения реального времени для вашего NI-793xR:

1. Инсталляция поддержки NI-793xR на хост-компьютере.
2. Обнаружение и настройка NI-793xR.
3. Инсталляция программного обеспечения на NI-793xR.

Создание приложений реального времени

За пошаговыми инструкциями по созданию проекта и добавления в него целевого устройства реального времени, обратитесь к разделу *Creating a Real-Time FlexRIO Project* справки *FlexRIO Help*.

За получением информации о принципах приложений реального времени, обратитесь к разделу *Tutorial: Creating a Real-Time Application* тома *Real-Time Module How-To* справки *Real-Time Module Help*.

Интеграция системы реального времени

В следующих разделах содержится информация об интеграции вашей системы реального времени с LabVIEW.

Запрос датчиков скорости вентилятора и температуры

Используйте API конфигурации системы для запроса датчиков скорости вентилятора или температурного датчика NI-793xR. API конфигурации системы может удаленно считывать свойства устройства с компьютера разработчика или системы мониторинга, или вы можете получить локальный доступ к этим свойствам, используя блок самоконтроля.

NI-793xR содержит четыре датчика температуры и один вентилятор. Три датчика температуры контролируют CPU, а один - FPGA. В таблице ниже приведены ресурсы, которые вы должны использовать для доступа к датчикам температуры и вентилятора, а также к рабочему диапазону каждого из компонентов.



Примечание Все значения температуры приведены в градусах Цельсия (°C).

Таблица 6-1. Датчики температуры и вентилятора NI-793xR

| Наименование датчика | Ресурс | Рабочий диапазон |
|----------------------|---------|---|
| CPU Temp 1 | Система | <98 °C |
| CPU Temp 2 | Система | <85 °C |
| CPU Temp 3 | Система | <85 °C |
| System Fan | Система | Для получения информации о вентиляторе обратитесь к разделу Использование вентилятора . |
| FPGA Temp | Система | <96 °C |
| Current Temp | RIO0 | <96 °C |

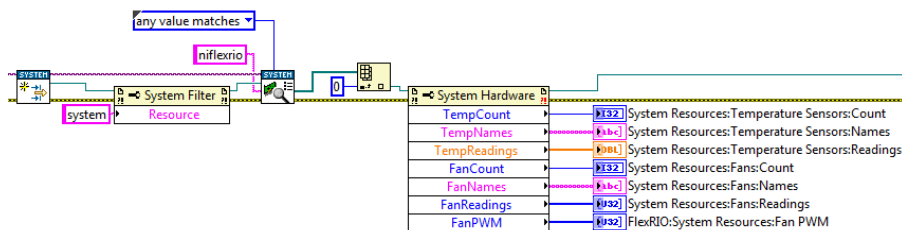


Примечание CPU Temp 1 и FPGA Temp - это датчики температуры кристалла соответствующих компонентов. CPU Temp 2 и CPU Temp 3 - датчики температуры на плате рядом с процессором. Используйте CPU Temp 2 и CPU Temp 3 в качестве резервных датчиков для контроля внутренней температуры окружающей среды.

Для запроса свойств системного вентилятора, включая показания скорости и коэффициента заполнения ШИМ (широотно-импульсной модуляции), установите фильтр ресурса `system` и запросите свойства в категории `System Resources::Fans` и свойство `FlexRIO::System Resources::FanPWM`. Свойство показателя скорости измеряется в числе оборотов в минуту (RPM), а свойство ШИМ - в процентах.

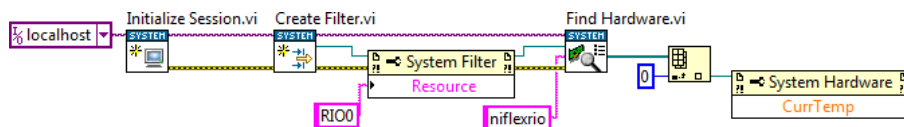
Для запроса датчиков CPU Temp x и FPGA Temp установите фильтр ресурса system и запросите свойства в категории System Resources::Temperature Sensors.

Рисунок 6-1. Запрос вентилятора и температур ЦП



Вы можете также контролировать датчик температуры FPGA Temp на ресурсе RIO0. Для этого установите фильтр ресурса RIO0 и запросите свойство Devices &Chassis::Current Temp.

Рисунок 6-2. Запрос температуры FPGA



Защита по питанию и от перегрева и отключение питания

Если FPGA перегревается или монитор температуры не может быть считан, связь FPGA отключается и доступ к FPGA прекращается. Кроме того, в MAX появляется сообщение о статусе устройства под элементом FPGA, который был отключен. Если связь FPGA отключится, выключите и снова включите систему и обратитесь в службу поддержки NI на сайте ni.com/support. Во избежание повторной ошибки, улучшите обдув воздухом вашего шасси или рассмотрите уменьшение используемой в FPGA логики в вашем проекте.

Вы также можете запросить статус устройства с помощью [API конфигурации системы LabVIEW](#).

API LabVIEW конфигурации системы

API LabVIEW конфигурации системы позволяет собирать информацию и выполнять задачи программно на локальных и на удаленных системах. Палитра System Configuration находится в палитре функций LabVIEW в разделе **Measurement I/O**.



Примечание Если **Measurement I/O** не отображается в палитре функций, вы можете включить отображение этой субпалитры, выбрав в меню **Customize»Change Visible Palette**.

Выполните следующие шаги для использования API LabVIEW конфигурации системы в вашем проекте NI-793xR Real-Time.

1. Откройте сессию и укажите ваше целевое устройство, используя его IP-адрес.
2. Введите свое имя пользователя и пароль, если необходимо.
3. Откройте субпанель **System Configuration** в LabVIEW.
4. Откройте **Property Node (Hardware)** для получения такой информации, как температура устройства и имя модели устройства.

Обратитесь к разделу *NI System Configuration API Help* справки *LabVIEW Help* для получения дополнительной информации об использовании API LabVIEW конфигурации системы. За информацией об API конфигурации системы FlexRIO обратитесь к разделу *FlexRIO System Configuration Expert* справки *FlexRIO Help*.

Обмен данными с приложениями целевого устройства реального времени

RT-движок целевого устройства реального времени не предоставляет пользовательский интерфейс для приложений. Вы можете использовать один из двух протоколов обмена данными - обмен данными через лицевую панель или обмен данными по сети для реализации пользовательского интерфейса VI целевого устройства на хост-компьютере.

Обмен данными через лицевую панель

С помощью связи с лицевой панелью LabVIEW и движок RT Engine выполняют разные части одного и того же VI. LabVIEW на хост-компьютере отображает лицевую панель VI, а движок RT Engine выполняет блок-диаграмму. Поток интерфейса пользователя обрабатывает обмен данными между LabVIEW и движком RT Engine.

Используйте обмен данными через лицевую панель между LabVIEW на хост-компьютере и движком RT Engine для управления и тестирования VI, выполняющихся на целевом устройстве. После загрузки и запуска VI, сохраняйте LabVIEW открытой на хост-компьютере для отображения и взаимодействия с лицевой панелью VI.

Вы можете также использовать связь с лицевой панелью для отладки VI, выполняющихся на целевом устройстве. Вы можете использовать инструменты отладки LabVIEW - пробники, подсветку выполнения, контрольные точки, пошаговое исполнение - для локализации ошибок в коде блок-диаграммы. Обратитесь к разделу *Building, Deploying, and Debugging Applications (Real-Time Module)* справки *Real-Time Module Help* для получения дополнительной информации об отладке приложений.

Связь с лицевой панелью - хороший способ связи во время разработки, поскольку это быстрый метод контроля и взаимодействия с VI, выполняющимися на целевом устройстве. Однако связь с лицевой панелью не является детерминированной и может повлиять на детерминизм критического ко времени VI. Используйте методы сетевого обмена данными для повышения эффективности связи между хост-компьютером и VI, выполняющимися на целевом устройстве.

Сетевой обмен данными

При сетевом обмене данными хост-VI работает на хост-компьютере и взаимодействует с VI, выполняющимися на целевом устройстве, с помощью определенных методов сетевого обмена данными, такими как TCP, VI Server, а для не подключаемых к сети встраиваемых устройств серии RT Series – общей памяти для чтения и записи. Вы можете использовать сетевой обмен данными по следующим причинам:

- Вы хотите запустить другой VI на хост-компьютере.
- Вы хотите контролировать обмен данными между хост-компьютером и целевым устройством RT. Вы можете адаптировать код обмена данными, чтобы указать, какие объекты лицевой панели обновлять и когда. Вы также можете управлять видимостью компонентов лицевой панели, потому что некоторые элементы управления и индикаторы могут быть важнее других.
- Вы хотите управлять синхронизацией и последовательностью передачи данных.
- Вы хотите выполнять дополнительную обработку или запись данных.

Для получения дополнительной информации о взаимодействии с лицевыми панелями VI целевых устройств RT обратитесь к разделу *Interacting with the Front Panels of RT Target VIs* справки *LabVIEW Real-Time Module Help*.



Примечание Раздел *Interacting with the Front Panels of RT Target VIs* справки *LabVIEW Real-Time Module Help* содержит информацию о встроенном интерфейсе пользователя, который недоступен на целевых устройствах NI-793xR.

Куда обратиться за поддержкой

Модуль Real-Time содержит обширный набор документации, предназначенный помочь вам создавать детерминированные приложения для целевых устройств реального времени.

Справочная система LabVIEW Help

Справка *LabVIEW Help*, доступная из меню **Help»LabVIEW Help** в LabVIEW, содержит следующую информацию, относящуюся к модулю Real-Time:

- **Real-Time Module Best Practices** - информация о рекомендуемых методах проектирования, разработки и развертывания приложений модуля Real-Time.
- **Real-Time Module Concepts** - информация о принципах программирования, архитектурах приложений и функциях модуля Real-Time, которые вы можете использовать для создания детерминированных приложений.
- **Real-Time Module How-To** - пошаговые инструкции по использованию функций модуля Real-Time.
- **Real-Time VIs** - справочная информация о VI, функциях и кодах ошибок модуля Real-Time.
- **Real-Time Operating Systems** - информация об использовании LabVIEW в операционных системах реального времени.
- **Real-Time Module Error Codes** - информация о кодах ошибок, специфичных для модуля Real-Time.

Заметки о версиях и обновлениях модуля LabVIEW Real-Time

Заметки *LabVIEW Real-Time Module Release and Upgrade Notes* содержат информацию, которая поможет вам установить и сконфигурировать модуль Real-Time, а также список проблем обновлений и новых функций. Для доступа к документу выполните следующие шаги:

1. Откройте папку `labview\manuals`.
2. Дважды щелкните по `RT_Release_Upgrade_Notes.pdf` для открытия этого руководства.

Сигналы CLIP

В этом разделе приводятся сигналы CLIP для устройств NI-7932R и NI-7935R.

NI-7932R

Обратитесь к таблице ниже за списком сигналов подключаемого CLIP NI-7932R

Таблица A-1 Сигналы CLIP NI-7932R

| Порт | Направление | Область тактирования | Описание |
|---------------|----------------------|----------------------|---|
| MGT_RefClk0_p | Входной (внутренний) | — | Дифференциальный входной тактовый сигнал, который вы должны подключить к примитиву входного буфера IBUFDS_GTE2, если этот тактовый сигнал используется в вашем проекте |
| MGT_RefClk0_n | Входной (внутренний) | | |
| SocketClk40 | Входной | Тактовый сигнал | Тактовый сигнал 40 МГц, который формируется непрерывно независимо от подключения. Этот сигнал подключен ко встроенному сигналу 40 MHz Onboard Clock , который является тактовым сигналом верхнего уровня по умолчанию для LabVIEW FPGA VI. |

Таблица А-1 Сигналы CLIP NI-7932R (продолжение)

| Порт | Направление | Область тактирования | Описание |
|---------------------|-----------------------|----------------------|--|
| aResetSI | Вход | Async | <p>Это необязательный сигнал.</p> <p>Это асинхронный сигнал сброса из среды LabVIEW FPGA.</p> <p>Если вы создаете для своего CLIP входной сигнал и назначаете его сигналом Reset в мастере CLIP, то этот сигнал управляется как асинхронный сигнал сброса. Высокий логический уровень этого сигнала сбрасывает все конечные автоматы и логику CLIP.</p> <p>Этот сигнал активируется при вызове метода Reset LabVIEW FPGA. Вызовите метод Run FPGA VI, чтобы деактивировать этот сигнал.</p> <p>Не используйте входы CLIP из LabVIEW FPGA VI в CLIP, пока aResetSI не деактивируется.</p> |
| Port<0..1>_RX_p | Входной (внутренний) | — | Выделенный для приема сигналов MGT порта <0..1>. |
| Port<0..1>_RX_n | Входной (внутренний) | — | |
| Port<0..1>_TX_p | Выходной (внутренний) | — | Выделенный для передачи сигналов MGT порта <0..1>. |
| Port<0..1>_TX_n | Выходной (внутренний) | — | |
| Port<0..1>_Tx_Fault | Вход | Async | Высокий уровень указывает на неисправность лазера. Низкий уровень указывает на нормальную работу. |
| Port<0..1>_LOS | Вход | Async | При высоком значении этот вход указывает, что мощность принимаемого оптического сигнала ниже чувствительности приемника в самом неблагоприятном варианте. Низкий уровень указывает на нормальную работу. |

Таблица А-1 Сигналы CLIP NI-7932R (продолжение)

| Порт | Направление | Область тактирования | Описание |
|----------------------------|----------------|----------------------|---|
| Port<0..1>_ABS | Вход | Async | Высокий уровень означает, что модуль подключен в разъем SFP+. Низкий уровень означает, что модуль обнаружен. |
| Port<0..1>_Tx_Disable | Выход | Async | Высокий уровень на этом выходе отключает оптический приемопередатчик. При низком уровне работа разрешена. |
| Port<0..1>_Rs<0..1> | Выход | Async | Контакты выбора частоты. |
| Port<0..1>_SCL | Вход/ выход | Async | Двунаправленный последовательный тактовый сигнал для двухпроводного интерфейса связи на разъеме Port <0..1>. Действительные значения: 0 и Z (открытый сток). Этот сигнал называется также MODDEF1. |
| Port<0..1>_SDA | Вход/ выход | Async | Двунаправленный последовательный сигнал данных для двухпроводного интерфейса связи на разъеме Port <0..1>. Действительные значения: 0 и Z (открытый коллектор). Этот сигнал называется также MODDEF2. |
| Port<0..1>_MacAddress | Вход | Async | Уникальный 48-битный MAC-адрес, назначенный порту Port <0..1> Используйте этот адрес при реализации контроллера сетевого интерфейса на основе порта Port <0..1> |
| Port<0..1>_MacAddressValid | Вход | Async | Будучи установлен, этот сигнал указывает, что MAC-адрес порта Port <0..1> действителен. |

Таблица А-1 Сигналы CLIP NI-7932R (продолжение)

| Порт | Направление | Область тактирования | Описание |
|-------------------------|-------------|----------------------|---|
| sPort<0..1>_EnablePower | Выход | SocketClk40 | Включает или отключает источник питания порта Port<0..1> Этот сигнал имеет высокий активный уровень. |
| sPort<0..1>_PowerGood | Вход | SocketClk40 | Указывает, что источник питания подключен к кабелю порта Port<0..1>. Этот сигнал может сброситься, если обнаружена перегрузка по мощности. |

NI-7935R

Обратитесь к таблице ниже за списком сигналов подключаемого CLIP NI-7935R

Таблица А-2. Сигналы CLIP NI-7935R

| Порт | Направление | Область тактирования | Описание |
|---------------|----------------------|----------------------|---|
| MGT_RefClk0_p | Входной (внутренний) | — | Дифференциальный входной тактовый сигнал, который вы должны подключить к примитиву входного буфера IBUFDS_GTE2, если этот тактовый сигнал используется в вашем проекте |
| MGT_RefClk0_n | Входной (внутренний) | — | |
| SocketClk40 | Вход | Тактовый сигнал | Тактовый сигнал 40 МГц, который формируется непрерывно независимо от подключения. Этот сигнал подключен ко встроенному сигналу 40 MHz Onboard Clock , который является тактовым сигналом верхнего уровня по умолчанию для LabVIEW FPGA VI. |

Таблица А-2. Сигналы CLIP NI-7935R (продолжение)

| Порт | Направление | Область тактирования | Описание |
|---------------------|-----------------------|----------------------|--|
| aResetSI | Вход | Async | <p>Это необязательный сигнал.</p> <p>Это асинхронный сигнал сброса из среды LabVIEW FPGA.</p> <p>Если вы создаете для своего CLIP входной сигнал и назначаете его сигналом Reset в мастере CLIP, то этот сигнал управляется как асинхронный сигнал сброса. Высокий логический уровень этого сигнала сбрасывает все конечные автоматы и логику CLIP.</p> <p>Этот сигнал активируется при вызове метода Reset LabVIEW FPGA. Вызовите метод Run FPGA VI, чтобы деактивировать этот сигнал.</p> <p>Не используйте входы CLIP из LabVIEW FPGA VI в CLIP, пока aResetSI не деактивируется.</p> |
| Port<0..1>_RX_p | Входной (внутренний) | — | Выделенный для приема сигналов MGT порта <0..1>. |
| Port<0..1>_RX_n | Входной (внутренний) | — | |
| Port<0..1>_TX_p | Выходной (внутренний) | — | Выделенный для передачи сигналов MGT порта <0..1>. |
| Port<0..1>_TX_n | Выходной (внутренний) | — | |
| Port<0..1>_Tx_Fault | Вход | Async | Высокий уровень указывает на неисправность лазера. Низкий уровень указывает на нормальную работу. |
| Port<0..1>_LOS | Вход | Async | При высоком значении этот вход указывает, что мощность принимаемого оптического сигнала ниже чувствительности приемника в самом неблагоприятном варианте. Низкий уровень указывает на нормальную работу. |

Таблица А-2. Сигналы CLIP NI-7935R (продолжение)

| Порт | Направление | Область тактирования | Описание |
|----------------------------|----------------|-------------------------|---|
| Port<0..1>_ABS | Вход | Async | Высокий уровень означает, что модуль подключен в разъем SFP+. Низкий уровень означает, что модуль обнаружен. |
| Port<0..1>_Tx_Disable | Выход | Async | Высокий уровень на этом выходе отключает оптический приемопередатчик. При низком уровне работа разрешена. |
| Port<0..1>_Rs<0..1> | Выход | Async | Контакты выбора частоты. |
| Port<0..1>_SCL | Вход/ выход | Async | Двунаправленный последовательный тактовый сигнал для двухпроводного интерфейса связи на разъеме Port <0..1>. Действительные значения: 0 и Z (открытый сток). Этот сигнал называется также MODDEF1. |
| Port<0..1>_SDA | Вход/ выход | Async | Двунаправленный последовательный сигнал данных для двухпроводного интерфейса связи на разъеме Port <0..1>. Действительные значения: 0 и Z (открытый коллектор). Этот сигнал называется также MODDEF2. |
| Port<0..1>_MacAddress | Вход | Async | Уникальный 48-битный MAC-адрес, назначенный порту Port <0..1> Используйте этот адрес при реализации контроллера сетевого интерфейса на основе порта Port <0..1> |
| Port<0..1>_MacAddressValid | Вход | Async | Будучи установлен, этот сигнал указывает, что MAC-адрес порта Port <0..1> действителен. |

Таблица А-2. Сигналы CLIP NI-7935R (продолжение)

| Порт | Направление | Область тактирования | Описание |
|-------------------------|-------------|----------------------|---|
| sPort<0..1>_EnablePower | Выход | SocketClk40 | Включает или отключает источник питания порта Port<0..1> Этот сигнал имеет высокий активный уровень. |
| sPort<0..1>_PowerGood | Вход | SocketClk40 | Указывает, что источник питания подключен к кабелю порта Port<0..1>. Этот сигнал может сброситься, если обнаружена перегрузка по мощности. |

Использование вентилятора

В NI-793xR используется вентилятор с низким потреблением мощности от источника питания постоянного тока для охлаждения устройства. В таблице ниже перечислены технические характеристики вентилятора.

Таблица В-1. Характеристики вентилятора NI-793xR

| | |
|--|-----------------------|
| Производитель | Sanyo Denki |
| Шифр изделия производителя | 9GA0412G7001 |
| Номинальное напряжение | 12 В |
| Рабочий диапазон напряжения | от 7В до 13,8В |
| Номинальная скорость | 13100 об/мин |
| Воздушный поток | 0,36 м³/мин(12,7 CFM) |
| Рабочий диапазон температур | от -10 °C до 70 °C |
| Прогнозируемый срок эксплуатации (при непрерывной работе) | 40 000 часов (60 °C) |
| | 70 000 часов (40 °C) |

Обратитесь на сайт Sanyo Denki за получением полного списка характеристик.

Замена вентилятора

В NI-793xR используется заменяемый вентилятор. Для решения проблем с вентилятором и для заказа запасных деталей обратитесь на страницу ni.com/support.

Службы NI

National Instruments предоставляет сервисы технической поддержки по всему миру в качестве нашего вклада в ваш успех. В дополнение к программам обучения и сертификации, воспользуйтесь нашими сервисами, которые отвечают вашим потребностям на каждой стадии жизненного цикла приложения, от планирования и разработки до развертывания и поддержки.

Для начала зарегистрируйте ваш продукт на сайте ni.com/myproducts.

Как пользователю зарегистрированного продукта NI вам полагаются следующие преимущества:

- Доступ к соответствующему обслуживанию продукта.
- Более простое управление продуктом из онлайн-аккаунта.
- Получение уведомлений о критических деталях, обновлении программного обеспечения и истечения срока технической поддержки.

Войдите в ваш Профиль Пользователя (User Profile) на сайте National Instruments ni.com, чтобы получить персональный доступ к вашим сервисам.

Сервисы и ресурсы

- **Maintenance and Hardware Services (Техническая поддержка и обслуживание)** — NI поможет вам определить требования к точности и надежности вашей системы и обеспечит вас услугами гарантии, восстановления работоспособности и калибровки, чтобы помочь вам поддерживать точность и минимизировать время простоя в течение жизненного цикла вашей системы. Для получения дополнительной информации посетите сайт [ni.com/ services](https://ni.com/services).
 - **Warranty and Repair (Гарантия и ремонт)** — на все оборудование NI распространяется стандартная гарантия сроком в один год, продлеваемая до пяти лет. NI предлагает услуги по ремонту, выполняемые своевременно высококвалифицированными техниками с использованием только оригинальных деталей в сервис-центре National Instruments.
 - **Calibration (Калибровка)** — благодаря регулярной калибровке вы сможете оценить и улучшить метрологические характеристики прибора. NI предоставляет самые современные сервисы калибровки. Если ваш продукт поддерживает калибровку, вы можете получить его калибровочный сертификат на сайте ni.com/calibration.

- **System Integration (Системная интеграция)** — если вы столкнулись с ограничениями по времени, техническим ресурсам и иными сложностями при работе над проектом, члены National Instruments Alliance Partner (Альянс партнеров NI) могут вам помочь. Для получения дополнительной информации, свяжитесь с местным офисом NI или посетите сайт ni.com/alliance.
- **Training and Certification (Обучение и сертификация)** — программа обучения и сертификации NI - наиболее эффективный способ повысить профессиональный уровень и продуктивность разработки приложений. Для получения дополнительной информации посетите сайт ni.com/training.
 - Справочник навыков (Skills Guide) поможет вам определить профессиональные требования вашего приложения и предложит варианты приобретения навыков в соответствии с вашими временными и финансовыми ограничениями, а также личными предпочтениями. Посетите ni.com/skills-guide чтобы ознакомиться с предлагаемыми траекториями обучения.
 - NI предлагает курсы на нескольких языках и в нескольких форматах, включая занятия в классе под руководством инструктора по всему миру, курсы на вашем предприятии и онлайн-курсы в соответствии с вашими индивидуальными потребностями.
- **Technical Support(Поддержка)** — техническая поддержка по адресу ni.com/support включают следующие разделы:
 - **Self-Help Technical Resources (Технические ресурсы для самостоятельного решения проблем)** — обратитесь на сайт ni.com/support, где находятся программные драйверы и их обновления, База знаний с возможностью поиска, руководства по продукции NI, мастера по пошаговому поиску и устранению неисправностей, тысячи образцов программ, учебных пособий, описаний приложений, драйверы измерительных приборов и т.д. Зарегистрированные пользователи получают также доступ к дискуссионным форумам NI по адресу ni.com/forums. Специалисты по применению NI гарантируют ответ в режиме он-лайн на каждый заданный вопрос.
 - **Software Support Service Membership (SSP - Членство в сервисе программной поддержки)** — эта годовичная подписка с возможностью продления поставляется почти с каждым программным продуктом NI, включая NI Developer Suite. Эта программа позволяет ее участникам обращаться непосредственно к инженерам NI в режиме «тет-а-тет» по телефону и электронной почте для получения технической поддержки, а также обеспечивает эксклюзивный доступ по требованию к учебным модулям по адресу ni.com/self-paced-training. NI предлагает гибкие варианты продления контракта, которые гарантируют, что ваши привилегии в программе SSP доступны вам непрерывно, пока они вам нужны. Для получения дополнительной информации посетите ni.com/ssp
- **Declaration of Conformity (Декларация о соответствии)** — Декларация о соответствии - это наше заявление о соответствии требованиям Совета Европейских сообществ к производителям. Эта система обеспечивает защиту пользователя по электромагнитной совместимости (ЕМС) и безопасности продукта. Вы можете получить декларацию о соответствии вашего продукта на сайте ni.com/certification.

Для получения информации о других возможностях технической поддержки в вашем регионе, посетите сайт ni.com/services или обратитесь в местный офис по адресу ni.com/contact.

Вы можете также посетить раздел Worldwide Offices на сайте ni.com/niglobal для доступа к веб-сайтам филиалов, где имеется обновляемая контактная информация, телефоны службы поддержки, адреса электронной почты и информация о текущих событиях.

Глоссарий

С

CLIP Интеллектуальная собственность на уровне компонентов. CLIP обеспечивает доступ к физическому вводу-выводу адаптера модуля в среде LabVIEW FPGA.

D

DDR3 Удвоенная скорость передачи данных. Как правило, этот термин относится к механизму обмена данными при чтении и записи DRAM.

DRAM Динамическая память с произвольным доступом

F

FPGA Программируемый пользователем массив логических вентилей. В модулях NI-793xR используются Xilinx Kintex-7 FPGA.

G

GPIO Ввод-вывод общего назначения

H

HDL Язык описания аппаратных средств. Язык, описывающий функционирование, проектирование и организацию схем.

L

LVFPGA LabVIEW FPGA

M

MGT Мультигигабитный приемопередатчик. MGT – устройство SerDes для последовательной передачи данных, способное работать с последовательностью бит на скоростях выше 1 Гб/с.

P

PFI Программируемый функциональный интерфейс

S

SCTL Тактируемый цикл, выполняемый за один такт

SFP+ Улучшенный стандарт компактных модульных приемопередатчиков

V

VHDL Язык описания аппаратных средств VHSIC